

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243085

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

G11C 11/409
G11C 11/401
H01L 27/108
H01L 21/8242

(21)Application number : 11-042666

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.02.1999

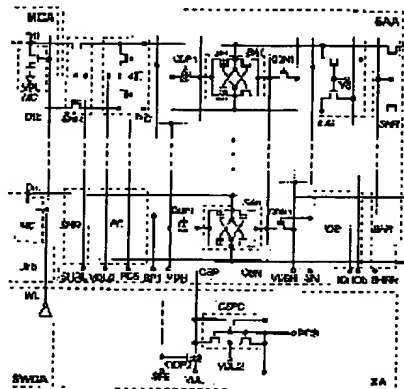
(72)Inventor : TAKEMURA RIICHIRO
ITO KIYOO
SEKIGUCHI TOMONORI
SAKATA TAKESHI
KIMURA KATSUTAKA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the nonuniformity of drive between sense amplifiers at the time of overdrive by amplifying a signal read out from plural memory cells to plural data lines into first voltage on a corresponding data line, and connecting a first wiring connecting commonly a voltage supply node and a second wiring supplying second voltage being higher than the first voltage.

SOLUTION: A first power source line for supplying high side overdriving potential VDH is provided at the P side of a sense amplifier SA1 in parallel to a P side common source line CSP, and plural switches QDP1 are provided between them. A second power source line for supplying low side restoring potential VDBH is provided at the N side of the sense amplifier SA1 in parallel to a N side common source line CSN, and plural switches QDN1 are provided between them. The potential VDH is supplied with low impedance of a mesh type power source wiring through switches QDP1 which are arranged dispersedly, and the amplifiers SA1 are activated at the same timing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(11)特許出願公開番号

特開2000-243085

(P2000-243085A)

(43)公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.⁷

識別記号

FI

テーマト* (参考)

G 1 1 C 11/409

G 1 1 C 11/34

3 5 3 E 5 B 0 2 4

11/401

H0 1 L 27/108

H01L 27/10

681G

21/8242

審査請求 未請求 請求項の数39 O.L (全 25 頁)

(21)出願番号

特願平11-42666

(22) 出廳日

平成11年2月22日(1999.2.22)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 竹村 理一郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 伊藤 清男

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 100068504

弁理士 小川 勝男

[最終頁に続く](#)

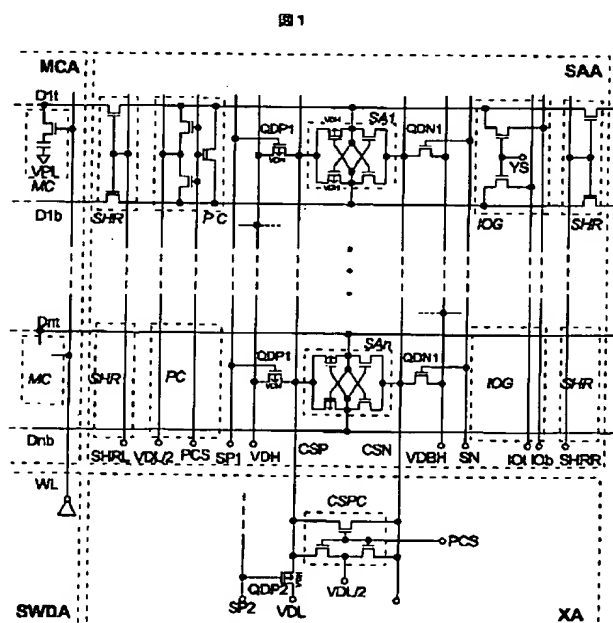
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 メモリアレイ電圧が低電圧化された場合でもメモリセルからの微少信号を高速かつ低消費電力でデータをセンスするセンスアンプを実現する。

【解決手段】 オーバードライブ用の駆動スイッチ（QDP1）をセンスアンプ領域SAA内に分布配置するとともにメッシュ状電源（VDBH配線）を利用してオーバードライブ用電位を供給する。

【効果】 オーバードライブ用の駆動スイッチQDP1によりデータ線対D1t、D1bをデータ線振幅より大きな電圧で初期センスすることで高速センスを実現する。駆動スイッチQDP1を分布的に配置することで、センス時の電流を分散でき、センス時の電圧の遠近端差をおさえることができる。



【特許請求の範囲】

【請求項 1】複数のメモリセルから複数のデータ線に読み出される信号を対応する前記データ線上で第 1 電圧に増幅するための複数のセンスアンプと、前記複数のセンスアンプの電源供給ノードを共通に接続する第 1 配線と、前記第 1 配線の一端から前記第 1 電圧を供給するための第 1 スイッチと、前記複数のセンスアンプに沿って設けられ、前記第 1 電圧よりも大きな第 2 電圧が供給される第 2 配線と、前記第 1 配線と前記第 2 配線の間に分布して設けられた第 2 スイッチとを有することを特徴とする半導体装置。

【請求項 2】請求項 1 において、前記第 2 配線はメッシュ状電源配線であることを特徴とする半導体装置。

【請求項 3】請求項 1 において、前記複数のセンスアンプを活性化する場合に、前記第 2 スイッチを所定期間導通させた後、前記第 1 スイッチを導通させることを特徴とする半導体装置。

【請求項 4】複数のサブメモリアレイを含むメモリアレイを有する半導体装置であって、前記複数のサブメモリアレイのそれぞれは、第 1 方向に延在する複数のワード線と第 2 方向に延在する複数のデータ線の交点に設けられた複数のメモリセルと、前記複数のデータ線のそれぞれに対応して設けられ、交差結合された第 1 導電形の第 1 MISFET 対及び第 2 導電形の第 2 MISFET 対をそれぞれに含む複数のセンスアンプと、前記第 1 方向に延在して設けられ、前記複数のセンスアンプの第 1 MISFET 対のソースに結合される第 1 共通ソース線と、前記第 1 方向に延在して設けられ、前記複数のセンスアンプの第 2 MISFET 対のソースに結合される第 2 共通ソース線と、前記第 1 方向に延在して設けられ、第 1 電位が供給される第 1 電源配線と、前記第 1 方向に延在して設けられ、第 2 電位が供給される第 2 電源配線と、第 3 電位が供給される第 3 電源配線と、前記複数のセンスアンプに対して所定の数の前記センスアンプごとに設けられ、前記第 1 共通ソース線と前記第 1 電源配線との間に設けられた複数の第 1 スイッチと、前記複数のセンスアンプに対して所定の数の前記センスアンプごとに設けられ、前記第 2 共通ソース線と前記第 2 電源配線との間に設けられた複数の第 2 スイッチと、前記第 1 共通ソース線と前記第 3 電源配線の間に設けられた第 3 スイッチとを備え、前記第 3 電位は前記第 1 電位と前記第 2 電位の間にあり、前記メモリセルから読み出された信号は対応する前記デ

ータ線上で、前記第 2 電位または前記第 3 電位に増幅されることを特徴とする半導体装置。

【請求項 5】請求項 4 において、前記メモリセルに記憶された情報に対応する前記データ線に読み出す場合において、前記複数のワード線の一つが選択された後、前記複数の第 1 及び第 2 スイッチが導通状態とされ、所定の期間の経過後に前記複数の第 1 スイッチが非導通とされるとともに前記第 3 スイッチが導通状態とされることを特徴とする半導体装置。

【請求項 6】請求項 5 において、前記複数の第 1 スイッチのそれぞれは第 1 導電形の第 3 MISFET であり、前記複数の第 2 スイッチのそれぞれは第 2 導電形の第 4 MISFET であり、前記第 1 導電形は P 形であり、前記第 2 導電形は N 形であり、前記第 1 電位は前記第 3 電位よりも高く、前記第 3 電位は前記第 2 電位よりも高いことを特徴とする半導体装置。

【請求項 7】請求項 4 において、前記複数のサブメモリアレイは、前記複数のワード線、前記複数のデータ線、及び前記複数のメモリセルが配置され、一つの角を共有する第 1 の辺と第 2 の辺を持つ 4 角形の第 1 領域と、前記第 1 の辺に沿って設けられ、前記複数のセンスアンプ、前記第 1 及び第 2 共通ソース線、前記第 1 及び第 2 電源配線、及び前記複数の第 1 及び第 2 スイッチが配置される第 2 領域と、前記第 2 の辺に沿って設けられ前記複数のワード線のそれぞれに対応して設けられる複数のワード線駆動回路又は前記複数のワード線のそれぞれを上層の複数のワード線配線と接続するための複数の接続部が配置される第 3 領域と、前記第 1 領域の前記一つの角と前記第 2 及び第 3 領域によって囲まれる領域に設けられ、前記第 3 スイッチが配置される第 4 領域とを有することを特徴とする半導体装置。

【請求項 8】請求項 4 において、前記複数のサブメモリアレイのそれぞれは、前記第 2 の方向に延在して設けられ、その交点で前記第 1 電源配線と接続され、前記第 1 電位が供給される複数の第 4 電源配線と、前記第 2 の方向に延在して設けられ、その交点で前記第 2 電源配線と接続され、前記第 2 電位が供給される複数の第 5 電源配線とを備えることを特徴とする半導体装置。

【請求項 9】請求項 8 において、前記複数の複数の第 4 及び第 5 電源配線は、前記複数のセンスアンプに対して所定の数の前記センスアンプに 1 本の割合で設けられることを特徴とする半導体装置。

【請求項 10】請求項 4 において、前記複数のメモリセルのそれぞれは、1 個の MISFET と 1 個のキャパシ

タを含むダイナミック型メモリセルであることを特徴とする半導体装置。

【請求項 11】複数のサブメモリアレイを含むメモリアレイを有する半導体装置であって、前記複数のサブメモリアレイのそれぞれは、第 1 方向に延在する複数のワード線と第 2 方向に延在する複数のデータ線の交点に設けられた複数のメモリセルと、前記複数のデータ線のそれぞれに対応して設けられ、交差結合された第 1 導電形の第 1 MISFET 対及び第 2 導電形の第 2 MISFET 対をそれぞれに含む複数のセンスアンプと、前記第 1 方向に延在して設けられ、前記複数のセンスアンプの第 1 MISFET 対のソースに結合される第 1 共通ソース線と、前記第 1 方向に延在して設けられ、前記複数のセンスアンプの第 2 MISFET 対のソースに結合される第 2 共通ソース線と、前記第 1 方向に延在して設けられ、第 1 電位が供給される第 1 電源配線と、前記第 1 方向に延在して設けられ、第 2 電位が供給される第 2 電源配線と、第 3 電位が供給される第 3 電源配線と、第 4 電位が供給される第 4 電源配線と、前記複数のセンスアンプに対して所定の数毎に設けられ、前記第 1 共通ソース線と前記第 1 電源配線との間に設けられた複数の第 1 スイッチと、前記複数のセンスアンプに対して所定の数毎に設けられ、前記第 2 共通ソース線と前記第 2 電源配線との間に設けられた複数の第 2 スイッチと、前記第 1 共通ソース線と前記第 3 電源配線の間に設けられた第 3 スイッチと、前記第 2 共通ソース線と前記第 4 電源配線の間に設けられた第 4 スイッチとを備え、前記第 3 及び第 4 電位は前記第 1 電位と前記第 2 電位の間にあり、前記メモリセルから読み出される信号は対応する前記データ線上で、前記第 3 電位または前記第 4 電位に増幅されることを特徴とする半導体装置。

【請求項 12】請求項 11 において、前記複数のサブメモリアレイは、前記複数のワード線、前記複数のデータ線、及び前記複数のメモリセルが配置され、一つの角を共有する第 1 の辺と第 2 の辺を持つ 4 角形の第 1 領域と、前記第 1 の辺に沿って設けられ、前記複数のセンスアンプ、前記第 1 及び第 2 共通ソース線、前記第 1 及び第 2 電源配線、及び前記複数の第 1 及び第 2 スイッチが配置される第 2 領域と、前記第 2 の辺に沿って設けられ前記複数のワード線のそれぞれに対応して設けられる複数の駆動回路又は前記複

数のワード線のそれぞれを上層の複数のワード線と接続するための複数の接続部が配置される第 3 領域と、前記第 1 領域の前記一つの角と前記第 2 及び第 3 領域によって囲まれる領域に設けられ、前記第 3 及び第 4 スイッチが配置される第 4 領域とを有することを特徴とする半導体装置。

【請求項 13】請求項 12 において、前記メモリセルに記憶された情報を前記データ線に読み出す場合において、前記複数のワード線の一つが選択された後、前記複数の第 1 及び第 2 スイッチが導通状態とされ、所定の期間の経過後に前記複数の第 1 及び第 2 スイッチは非導通とされるとともに前記第 3 及び第 4 スイッチが導通状態とされることを特徴とする半導体装置。

【請求項 14】請求項 11 において、前記複数の第 1 スイッチのそれぞれは第 1 導電形の第 3 MISFET であり、前記複数の第 2 スイッチのそれぞれは第 2 導電形の第 4 MISFET であり、前記第 3 スイッチは前記第 1 導電形の第 5 MISFET であり、前記第 4 スイッチは前記第 2 導電形の第 6 MISFET であり、前記第 1 導電形は P 形であり、前記第 2 導電形は N 形であり、前記第 1 電位は前記第 3 電位よりも高く、前記第 3 電位は前記第 4 電位よりも高く、前記第 4 電位は前記第 2 電位よりも高いことを特徴とする半導体装置。

【請求項 15】請求項 11 において、前記第 3 及び第 4 電源配線は、前記第 1 及び第 2 電源配線に並列に前記第 1 方向に延在して設けられ、前記第 3 スイッチは、前記複数のセンスアンプに対して所定の数の前記センスアンプ毎に設けられるように複数の単位第 3 スイッチに分割され、前記第 4 スイッチは、前記複数のセンスアンプに対して所定の数の前記センスアンプ毎に設けられるように複数の単位第 4 スイッチに分割されることを特徴とする半導体装置。

【請求項 16】請求項 15 において、前記複数のサブメモリアレイは、前記複数のワード線、前記複数のデータ線、及び前記複数のメモリセルが配置され、一つの角を共有する第 1 の辺と第 2 の辺を持つ 4 角形の第 1 領域と、前記第 1 の辺に沿って設けられ、前記複数のセンスアンプ、前記第 1 及び第 2 共通ソース線、前記第 1、第 2、第 3、及び第 4 電源配線、前記複数の第 1 及び第 2 スイッチ、及び前記第 3 及び第 4 スイッチが配置される第 2 領域と、前記第 2 の辺に沿って設けられ前記複数のワード線のそれぞれに対応して設けられる複数の駆動回路又は前記複数のワード線のそれぞれを上層の複数のワード線と接続するための複数の接続部が配置される第 3 領域とを有することを特徴とする半導体装置。

【請求項 17】請求項 16 において、前記メモリセルに記憶された情報を前記データ線に読み出す場合におい

て、前記複数のワード線の一つが選択された後、前記複数の第1及び第2スイッチが導通状態とされ、所定の期間の経過後に前記複数の第1及び第2スイッチは非導通とされるとともに前記第3及び第4スイッチが導通状態とされることを特徴とする半導体装置。

【請求項18】請求項15において、前記複数の第1スイッチのそれぞれは第1導電形の第3MISFETであり、前記複数の第2スイッチのそれぞれは第2導電形の第4MISFETであり、前記複数の単位第3スイッチのそれぞれは前記第1導電形の第5MISFETであり、前記複数の単位第4スイッチのそれぞれは前記第2導電形の第6MISFETであり、前記第1導電形はP形であり、前記第2導電形はN形であり、前記第1電位は前記第3電位よりも高く、前記第3電位は前記第4電位よりも高く、前記第4電位は前記第2電位よりも高いことを特徴とする半導体装置。

【請求項19】複数のメモリセルから対応する複数のデータ線読み出される信号を増幅するための複数のセンスアンプと、

前記複数のセンスアンプの増幅信号のハイレベルに関連する第1電位を第1のメッシュ状電源配線から供給するために設けられ、前記複数のセンスアンプのうち所定の数の前記センスアンプ毎に設けられた複数の第1MISFETと、

前記複数のセンスアンプの増幅信号のロウレベルに関連する第2電位を第2のメッシュ状電源配線から供給するために設けられ、前記複数のセンスアンプのうち所定の数の前記センスアンプ毎に設けられた複数の第2MISFETと、

前記複数の第1及び第2MISFETは同じ導電形とされるとともに、第1及び第2MISFETのゲートは共通の駆動制御信号線に接続されることを特徴とする半導体装置。

【請求項20】請求項19において、前記複数の第1及び第2MISFETは、前記複数のセンスアンプに沿って一方向に延在する仮想線上で第1MISFETと第2MISFETとが交互に配置され、

前記仮想線上に設けられた前記駆動信号線は前記複数の第1及び第2MISFETのゲート電極となることを特徴とする半導体装置。

【請求項21】複数のサブメモリアレイを含むメモリアレイを有する半導体装置であって、

前記複数のサブメモリアレイのそれぞれは、第1方向に延在する複数のワード線と第2方向に延在する複数のデータ線の交点に設けられた複数のメモリセルと、

前記複数のデータ線のそれぞれに対応して設けられ、交差結合された第1導電形の第1MISFET対及び第2導電形の第2MISFET対をそれぞれに含む複数のセンスアンプと、

前記第1方向に延在して設けられ、前記複数のセンスアンプの第1MISFET対のソースに結合される第1共通ソース線と、

前記第1方向に延在して設けられ、前記複数のセンスアンプの第2MISFET対のソースに結合される第2共通ソース線と、

前記第1方向に延在して設けられ、第1電位が供給される第1電源配線と、

前記第1方向に延在して設けられ、第2電位が供給される第2電源配線と、

前記複数のセンスアンプに対して所定の数の前記センスアンプごとに設けられ、前記第1共通ソース線と前記第1電源配線との間にソース・ドレイン経路が接続された前記第2導電形の複数の第3MISFETと、

前記複数のセンスアンプに対して所定の数の前記センスアンプごとに設けられ、前記第2共通ソース線と前記第2電源配線との間にソース・ドレイン経路が接続された前記第2導電形の複数の第4MISFETと、

前記第1方向に延在して設けられ前記複数の第3及び第4MISFETのゲートに共通に接続された第1駆動制御線を備えることを特徴とする半導体装置。

【請求項22】請求項21において、

前記複数のセンスアンプの前記第1MISFET対は、前記第1方向に延在する第1仮想線に沿って配置され、前記複数のセンスアンプの前記第2MISFET対は、前記第1方向に延在する第2仮想線に沿って配置され、前記複数の第3及び第4MISFETは、前記第1及び第2仮想線の間に設けられるとともに前記第1方向に延在する第3仮想線に沿って配置されることを特徴とする半導体装置。

【請求項23】請求項22において、前記複数の第3及び第4MISFETは、前記第3仮想線上で1個ずつ交互に配置されることを特徴とする半導体装置。

【請求項24】請求項21において、前記複数のサブメモリアレイのそれぞれは、

前記複数のワード線、前記複数のデータ線、及び前記複数のメモリセルが配置され、一つの角を共有する第1の辺と第2の辺を持つ4角形の第1領域と、

前記第1の辺に沿って設けられ、前記複数のセンスアンプ、前記第1及び第2共通ソース線、前記第1及び第2電源配線、及び前記複数の第3及び第4MISFETが配置される第2領域と、

前記第2の辺に沿って設けられ前記複数のワード線のそれぞれに対応して設けられる複数の駆動回路又は前記複数のワード線のそれぞれを上層の複数のワード線と接続するための複数の接続部が配置される第3領域と、

前記第1領域の前記一つの角と前記第2及び第3領域によって囲まれる領域に設けられ、前記第1及び第2共通ソース線の一端に接続されるプリチャージ回路が配置される第4領域とを有することを特徴とする半導体装

置。

【請求項 25】請求項 21 において、前記複数のデータ線上で対応するメモリセルから読み出された信号は、前記第 1 電位又は第 2 電位に増幅され、前記複数のセンスアンプを活性化する場合に、前記第 1 駆動制御線には前記第 1 電位と前記第 2 電位との間の電圧よりも大きな電圧が印加される期間があることを特徴とする半導体装置。

【請求項 26】請求項 21 において、前記複数のサブメモリアレイのそれぞれは、

第 3 電位が供給される第 3 電源配線と、

第 4 電位が供給される第 4 電源配線と、

前記第 1 共通ソース線の一端と前記第 3 電源線との間にソース・ドレイン経路が接続された第 5 MISFET と、

前記第 4 共通ソース線の一端と前記第 4 電源線との間にソース・ドレイン経路が接続された第 6 MISFET とを更に備え、

前記第 3 電位及び第 4 電位は、前記第 1 電位と前記第 2 電位との間にあり、前記第 1 電位と前記第 2 電位の間の電圧は前記第 3 電位と前記第 4 電位の間の電圧よりも大きく、

前記メモリセルから読み出された信号は対応する前記データ線上で、前記第 3 電位または前記第 4 電位に増幅されることを特徴とする半導体装置。

【請求項 27】請求項 26 において、前記メモリセルから対応する前記データ線に読み出された信号を増幅する場合において、前記複数のワード線の一つが選択された後、前記複数の第 3 及び第 4 MISFET が導通状態とされ、所定の期間の経過後に前記複数の第 3 及び第 4 MISFET は非導通とされるとともに前記第 5 及び第 6 MISFET を導通状態とすることを特徴とする半導体装置。

【請求項 28】請求項 26 において、前記複数の第 3 及び第 4 MISFET を導通状態とする場合に、前記第 1 駆動制御線には前記第 1 電位と第 2 電位の間の電圧よりも大きな電圧が印加されることを特徴とする半導体装置。

【請求項 29】請求項 26 において、前記半導体装置は、前記複数のワード線のうち選択されたワード線に印加するための昇圧電圧を形成するための昇圧回路を更に有し、

前記複数の第 3 及び第 4 MISFET を導通状態とする場合に、前記第 1 駆動制御線には前記昇圧電圧が印加されることを特徴とする半導体装置。

【請求項 30】請求項 21 において、前記複数のサブメモリアレイのそれぞれは、

前記第 1 方向に延在して設けられ、第 3 電位が供給される第 3 電源配線と、

前記第 1 方向に延在して設けられ、第 4 電位が供給され

る第 4 電源配線と、

前記複数のセンスアンプに対して所定の数の前記センスアンプごとに設けられ、前記第 1 共通ソース線と前記第 3 電源配線との間にソース・ドレイン経路が接続された前記第 2 導電形の複数の第 5 MISFET と、

前記複数のセンスアンプに対して所定の数の前記センスアンプごとに設けられ、前記第 2 共通ソース線と前記第 4 電源配線との間にソース・ドレイン経路が接続された前記第 2 導電形の複数の第 6 MISFET とを更に備え、

前記第 3 電位及び第 4 電位は、前記第 1 電位と前記第 2 電位との間にあり、前記第 1 電位と前記第 2 電位の間の電圧は前記第 3 電位と前記第 4 電位の間の電圧よりも大きく、

前記複数のデータ線上で対応するメモリセルから読み出された信号は、前記第 3 電位または前記第 4 電位に増幅されることを特徴とする半導体装置。

【請求項 31】請求項 30 において、前記メモリセルから対応する前記データ線に読み出された信号を増幅する場合において、前記複数のワード線の一つが選択された後、前記複数の第 3 及び第 4 MISFET が導通状態とされ、所定の期間の経過後に前記複数の第 3 及び第 4 MISFET は非導通とされるとともに前記複数の第 5 及び第 6 MISFET を導通状態とすることを特徴とする半導体装置。

【請求項 32】請求項 30 において、前記複数の第 3 及び第 4 MISFET を導通状態とする場合に、前記第 1 駆動制御線には前記第 1 電位と第 2 電位の間の電圧よりも大きな電圧が印加されることを特徴とする半導体装置。

【請求項 33】請求項 30 において、前記半導体装置は、前記複数のワード線のうち選択されたワード線に印加するための昇圧電圧を形成するための昇圧回路を更に有し、

前記複数の第 3 及び第 4 MISFET を導通状態とする場合に、前記第 1 駆動制御線には前記昇圧電圧が印加されることを特徴とする半導体装置。

【請求項 34】請求項 21 において、前記第 1 導電形は P 形であり、前記第 2 導電形は N 形であることを特徴とする半導体装置。

【請求項 35】請求項 21 において、前記複数のメモリセルのそれぞれは、1 個の MISFET と 1 個のキャパシタを含むダイナミック型メモリセルであることを特徴とする半導体装置。

【請求項 36】複数のワード線と複数のデータ線の交点に設けられた複数のメモリセルと、

前記複数のデータ線のそれぞれに対応して設けられ、交差結合された N 形の第 1 MISFET 対及び交差結合された P 形の第 2 MISFET 対を含む複数のセンスアンプと、

前記複数のセンスアンプの第1 MISFET 対のソースに共通に接続された第1 共通ソース線と、
 前記複数のセンスアンプの第2 MISFET 対のソースに共通に接続された第2 共通ソース線と、
 前記第1 共通ソース線と第1 電位との間に設けられた第1 駆動手段と、
 前記第2 共通ソース線と第2 電位との間に設けられた第2 駆動手段とを備え、
 前記第1 及び第2 駆動手段は、第1 動作モードと第2 動作モードとを有し、
 前記第1 駆動手段は、前記第1 動作モードにおいて前記第1 電位と前記第1 共通ソース線を第1 インピーダンスをもって接続し、前記第2 動作モードにおいて前記第1 電位と前記第1 共通ソース線を前記第1 インピーダンスよりも大きな第2 インピーダンスをもって接続し、
 前記第2 駆動手段は、前記第1 動作モードにおいて前記第2 電位と前記第2 共通ソース線を第3 インピーダンスをもって接続し、前記第2 動作モードにおいて前記第2 電位と前記第2 共通ソース線を前記第3 インピーダンスよりも大きな第4 インピーダンスをもって接続し、
 前記複数のセンスアンプが対応するメモリセルからの信号をラッチした状態において、前記複数のセンスアンプに流れる電流は、第2 モードの場合の方が前記第1 モードの場合よりも小さいことを特徴とする半導体装置。

【請求項37】請求項36において、前記半導体装置は、前記第1 MISFET 対のバックゲートに前記第1 電位と等しいかそれよりも高い電位の第1 基板バイアスを前記第1 及び第2 動作モードで供給する手段と、前記第1 MISFET 対のバックゲートに前記第2 電位と等しいかそれよりも低い電位の第2 基板バイアスを前記第1 及び第2 動作モードで供給する手段とを有することを特徴とする半導体装置。

【請求項38】請求項36において、第1 及び第2 MISFET 対のしきい値電圧は、前記第2 動作モードの場合の方が前記第1 動作モードの場合よりも大きくされることを特徴とする半導体装置。

【請求項39】請求項36において、前記第1 駆動手段は前記第1 共通ソース線と前記第1 電位の間に並列に設けられた第1 スイッチと及び第2 スイッチを含み、
 前記第1 スイッチは前記第1 モードの場合に選択的の導通されとともに、前記第2 スイッチは前記第2 モードの場合に選択的の導通され、
 前記第1 スイッチのコンダクタンスは、前記第2 スイッチのコンダクタンスよりも大きいことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、特にその装置の差動増幅動作に関する部分に関する。

【0002】

【従来の技術】この明細書で参照される文献のリストは以下の通りであり、文献の参照は文献番号をもってすることとする。[文献1]:特開平6-309872号公報(対応米国特許には、USP 5,412,605号がある)、[文献2]:超LSIメモリ pp.161-167、伊藤清男著、培風館、1994年11月5日初版発行、[文献3]:T. Yamada et al., ISSCC91 Dig. Tech. Papers, pp.108-109, 1991、[文献4]:H. Hidaka et al., IEEE Journal of Solid State Circuit, Vol.27, No. 7, (1992), pp.1020-1027、[文献5]:特願昭63-21191号公報、[文献6]:Eto et al., ISSCC98 Dig. Tech. Papers, pp.82-83, 1998。

【0003】[文献1]には、DRAMにおいて、電源電圧が低電圧化した際のセンスアンプの動作を安定化するため、センスアンプの駆動初期においてCMOSセンスアンプのソースノードに最終的な増幅電圧(例えばGND)よりも大きな電圧(例えばGNDより低い負電圧)を印加する技術が記載される。この方法は、最終的なビット線上での増幅電圧よりも大きな電圧でセンスアンプを駆動する期間をもつため「オーバードライブ」と呼ばれている。

【0004】[文献2]はダイナミックランダムアクセスメモリ(DRAM)について主に記載されたものであり、その161~167頁では「センス系回路」としてメモリセルからの微小信号を増幅するための回路について概説している。特に163~164頁には「(2)電流分散形センスアンプ駆動」として、複数のセンスアンプの高速駆動の方法を記載する。即ち、センスアンプの駆動用の電源電圧(データ線の最終増幅電圧と等しい電圧)をメッシュ状配線で供給し、分散的に配置された駆動用MOSFET(例えば4個のセンスアンプにつき1個の駆動用MOSFET)を介して複数のセンスアンプを駆動するというものである。なお[文献3]及び[文献4]は、[文献2]中で上記の技術の原著として引用されている文献である。

【0005】

【発明が解決しようとする課題】本願発明者等は、低電圧電源で動作させなければならない大容量のDRAMにオーバードライブ用回路を現実に適用するために、本願に先立ってDRAMにおけるセンスアンプとそのオーバードライブ駆動回路の現実的な配置の点について検討した。

【0006】図25は、本願に先立って検討したオーバードライブ駆動回路を持つDRAMの回路の要部を示したものである。この回路は、データ線の高レベル“H”電圧(VDL)よりも大きな電圧VDHを利用してP側コモンソース線CSPをオーバードライブするものである。このオーバードライブ駆動回路は、P側コモンソース線の一端に設けられた1つのPMOSTランジスタQ

DP1を介して、CSPの一端からオーバードライブ電圧VDHを供給する。オーバードライブ回路の付加を考えると、このようにCSPの一端にオーバードライブ駆動回路を設けることは回路面積低減の点から望ましい。

【0007】図26に、図25のセンスアンプ動作時のCOMMONソース線の動作波形及びデータ線の動作波形を示す。センスアンプが増幅を開始する前はデータ線及びCOMMONソース線はVDL/2にプリチャージされているものとする。SP1がロウレベルとされQDP1が導通状態となり共通ソース線CSPにVDHの供給された場合に、VDHの供給ノードに対してSAnが最も近端にあり、SA1が最も遠端となる。QDP1を導通する期間即ちオーバードライブの期間Todは、データ線“H”レベル側がVDLまで高速かつVDLを超えないよう設定される。

【0008】図26(a)はセンスドライバの近端即ちSAnでTodを最適化した場合であり、また図26(b)は遠端即ちSA1でTodを最適化した場合を示す。図26(a)に示すように近端で最適化するとセンス初期のCOMMONソース線から各SAに流れる電流によりCOMMONソース線には電圧降下が起こる。一方、遠端では、十分な電圧(CSP(1))が立ちあがる前にOFFになり、所望の十分高い実効ゲート電圧が得られない。すなわちデータ線(D1t, D1b)は低速動作となる。逆に、図26(b)に示すように、遠端(SA1)で最適化した場合、近端では、オーバードライブの効果が強くなりすぎてデータ線電圧はVDL以上になる。このため、消費電力が増加する。以上のように、COMMONソース線の抵抗による電圧降下により、センスアンプの位置によってセンス速度が低下したり消費電力が増加することが本願発明者等によって明らかにされた。

【0009】一方、[文献2]～[文献4]にはセンスアンプのCOMMONソース線への電流集中とそれに伴う電圧効果について検討されているが、センスアンプのオーバードライブ回路への適用については考慮されていない。

【0010】即ち、本願発明の目的の一つは、のオーバードライブの際の複数のセンスアンプ間の駆動の不均一を解消することにある。本願発明の更なる目的の一つは、オーバードライブ回路の不均一を解消しつつセンスアンプを含めたレイアウト面積の増加を低減することである。

【0011】

【課題を解決するための手段】本願発明の代表的な手段は以下の通りである。オーバードライブ用の駆動スイッチをセンスアンプ列に沿って分散させて配置し、リストア用の駆動スイッチをセンスアンプ列の一端に集中して設ける。オーバードライブ用電位は、メッシュ状電源配線を利用して供給するとよい。また、センスアンプのハイ側をロウ側の駆動スイッチを同じ導電形のMISFETで構成し、ゲート信号を共有化すると、分散配置し

た駆動スイッチとセンスアンプとを含めた部分のレイアウト面積を小さくすることができる。更に、センスアンプにしきい値電圧の低いMISFETを用いた場合には、アクティブスタンバイにおけるリーク電流の低減のために、センスアンプの共通ソースノードの電位を制御すると良い。活性化した状態のセンスアンプの共通ソースノードの電位を制御するための手段の好ましい例は、インピーダンス可変なセンスアンプ駆動スイッチである。

【0012】

【発明の実施の形態】以下本発明の実施例を図面を用いて詳細に説明する。実施例の各ブロックを構成する回路素子は、特に制限されないが、公知のCMOS(相補型MOSトランジスタ)等の集積回路技術によって、単結晶シリコンのような1個の半導体基板上に形成される。MOSFET(Metal Oxide Semiconductor Field Effect Transistor)の回路記号は矢印をつけないものはN形MOSFET(NMOS)を表し、矢印をつけたP形MOSFET(PMOS)と区別される。以下MOSFETを呼ぶために簡略化してMOSと呼ぶことにする。但し、本願発明は金属ゲートと半導体層の間に設けられた酸化膜絶縁膜を含む電界効果トランジスタだけに限定される訳ではなくMISFET(Metal Insulator Semiconductor Field Effect Transistor)等の一般的なFETを用いた回路に適用される。

【0013】<実施例1>図1に、ダイナミックメモリのサブメモリアレイSMAの詳細を示す。この実施例は、センスアンプのP側とN側のソースノードのうち片側を増幅初期にオーバードライブする回路を示したものである。P側共通ソース線CSPを駆動するオーバードライブ用駆動スイッチQDP1をセンスアンプ領域SA内に分散して配置しているのが特徴である。図1の詳細な説明に移る前に、図22、図23を使って、本願の対象とする図1回路のメモリ装置の中での全体的な位置づけをまず説明する。

【0014】図22に、本願発明が適用されるシンクロナスDRAM(SDRAM)の全体ブロックを示す。各回路ブロックは、制御信号が入力されるタイミング信号生成回路TGで形成される内部制御信号のタイミングで動作する。TGに入力される制御信号には、クロック信号CLKのタイミングで入力される、チップ選択信号/CS、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号、ライトイネーブル信号/WEがある。これらの制御信号とアドレス信号との組合せはコマンドと呼ばれる。クロックイネーブル信号CKEは、クロック信号の有効無効を決定する。また、入出力マスク信号DQMは、入出力端子(DQ0, ... DQn)から入出力されるデータをマスクするためにデータ入出力バッファI/OBを制御するための信号である。

【0015】SDRAMでは、アドレス入力端子(A0,

A1, ... An)からロウアドレスやカラムアドレスが時分割に入力されるアドレスマルチ方式が採られる。ロウアドレスバッファXABに入力されたロウアドレスは、ロウデコーダX-DECで解読され一つのメモリアレイMA0中の特定のワード線が選択され、それに応じて1ワード分のメモリセルが選択状態となる。引き続き、カラムアドレスがカラムアドレスバッファYABに入力されるとカラムアドレスデコーダY-DECにより、読み出し又は書き込みを行うメモリセルが更に選択される。

尚、SDRAMは通常バンクアドレスで指定される複数のメモリアレイ（又はメモリバンク）を持つが、この図では一つのメモリアレイMA0（BANK0）だけを代表的に示した。

【0016】図22で示したSDRAMの電圧発生回路VGで発生される内部電源系について説明する。ここでは、VSS（0V）を基準としてVCC（2.5V）が外部から供給される単一電源方式が採られる。最も電位の高い内部電源は、VPP（3.0V）あり、チャージポンプ回路を含む昇圧回路により形成され、ワード線駆動回路等に供給される。VDH（2.5V=VCC）は、XAB、YAB、IOB、X-DEC等の周辺回路の動作電源である。VDL（1.5V）とVDBH（0V=VSS）は、後述するデータ線のリストア電位を決定し、センスアンプに供給される電位である。VDLは、降圧回路（電圧リミッタ）により形成される。この実施例ではハーフブリチャージ方式を採用するため、待機時のデータ線等に供給されるVDL/2（0.75V）も、VDLから形成される。VDL/2は、メモリセルのプレート電位VPLとしても用いられる。最後にVBB（-0.75V）は、NMOSのバックゲートを系の最低電位にバイアスするための基板電位であり、チャージポンプを含む昇圧回路により形成される。

【0017】図23は、図22のメモリアレイMA0の内部をさらに詳細に示したものである。MA0は、マトリクス状に配置されたサブメモリアレイSMA11~SMA_{nm}を含む。特に制限されないがこのメモリアレイは、階層ワード線方式を採りMA0の一辺にはメインワードドライバ列MWDが配置される。MWDに接続されるメインワード線は複数のサブメモリアレイ（例えばSMA11~SMA_{n1}の方向に）に渡ってまたがるように上層の金属配線層に設けられる。また、カラム方向の選択は、カラムデコーダY-DECから出力される複数のカラム選択線（YS線）が複数のサブメモリアレイ（例えばSMA1_m~SMA1₁の方向に）に渡ってまたがるように設けられる共通Yデコーダ方式が採られる。なお、図23のMA0内でSMA11~SMA1_mの左端と右端にはサブメモリアレイの末端処理のための領域である右端領域LEAと左端領域REAが設けられる。LEAとREAは、SAA及びXAを若干変形したものである。これはセンスアンプが交互配置形のシェアドセンス方式を採用

するためのマッド端の末端処理に対する配慮である。

【0018】図23の拡大図に示すように、1個のサブメモリアレイの内部は、メモリセル領域MCA、センスアンプ領域SAA、サブワードドライバ領域SWDA、及びクロスエリアXAに分割される。配置としては、4角形のMCAの一つの角を共有する第1の辺と第2の辺があるとき、SAAはその第1の辺に沿って設けられた長方形の領域であり、SWDAはその第2の辺に沿って設けられた長方形の領域となる。またXAは、第1の辺と第2の辺を共有する角にSAAとSWDAによって囲まれる領域である。

【0019】図1は、図23の拡大図で示されたサブメモリアレイの詳細を示している。まずメモリセル領域MCA内で、データ線対D1_t、D1_b...D_n_t、D_n_bは、メモリセルアレイMCAにおいて複数のワード線WLと交点し、所定の交差点にはダイナミック形メモリセルMCが接続される。MCは、データを蓄積する1つのキャパシタ及び1つのMOSトランジスタ、ここではNMOSトランジスタから構成される。この実施例は、いわゆる二交点方式のデータ線とメモリセルの配置を例としているが、特に制限されず一交点方式にも適用できる。

【0020】サブワードドライバ領域SWDAには、上記の複数のワード線のそれぞれに対して設けられた複数のサブワードドライバSWDが設けられる。サブワードドライバは、図23で前述したメインワード線とFXドライバFXDの制御信号との論理和により活性化される。FXDは、クロスエリアXA内に設けられるが図1では省略した。階層ワード線方式ではなくワードシャント方式を採用する場合には、SWDA内にはサブワードドライバに代えて上層に設けられたAL等の金属で形成された裏打ち用ワード線と下層ポリシリコン層のゲートと共通なワード線とを接続するスルーホールとコンタクトが設けられる。この場合SWDAはワードシャント領域と呼ぶことができる。

【0021】以下、センスアンプ領域SAAの説明に移る。SAA内では、データ線対の一对（D1_t、D1_b）に対応して、左右のシェアドスイッチSHR、プリチャージ回路PC、センスアンプSA1、カラムスイッチIOG等が設けられる。一つのメモリセル領域MCAのデータ対の数としては512対から2048対を想定している。従って、SAA内のセンスアンプの数としては256から1024個を配置となる。センスアンプの交互配置構造のためにセンスアンプの数はデータ線対の数の半分となるためである。シェアドスイッチは、センスアンプSA1を左側と右側のメモリセル領域で共用するための切替スイッチである。ここではシェアドスイッチはNMOSとされ、データ線のプリチャージ期間には、そのゲート制御信号SHRLとSHRRはVPP、VDHあるいはVDL電位とされる。例えば左側のメモ

リセル領域にアクセスするときには $SHRL = VPP$ あるいは VDH 、 $SHRR = VDBH$ として片側だけ NMOS のしきい値電圧低下無しに導通させる。PC はデータ線プリチャージ期間に制御信号 PCS によってデータ線対に $VDL/2$ を供給する。カラムスイッチ IOG は、カラムデコーダのカラム選択信号 YS によって選択されたデータ線対を共通入出力線対 IOt、IOb と接続して外部とデータの入出力経路を形成するものである。

【0022】センスアンプ SA は、2 個の CMOS インバータが交差結合されたラッチ形の増幅回路である。即ちこのセンスアンプはソースが共通接続されゲートとドレインが互いに交差結合された PMOS 対と、同様に結合された NMOS 対を含む。P 及び NMOS 対のソースは、それぞれ P 側共通ソース線 CSP 及び N 側共通ソース線 CSN に共通に接続される。オーバードライブ方式のセンスアンプには、リストア電位と、オーバードライブ電位とが必要とされる。リストア電位とはデータ線上での最終増幅時のハイレベルとロウレベルを決める電源電位である。メモリセルに再書き込みを行う時の電位に等しいことからリストア電位と呼ばれる。ここでは VDL がハイ側リストア電位であり、 $VDBH$ がロウ側リストア電位となる。この実施例ではオーバードライブ電位はハイ側のみ供給され、 $VDH (>VDL)$ である。

【0023】センスアンプの P 側においては、ハイ側オーバードライブ電位 VDH を供給するための第 1 電源線が CSP と並列して設けられる。この第 1 電源線と P 側共通ソース線 CSP の間に複数のスイッチ QDP1 が分散して設けられる。図 1 では 1 個のセンスアンプにつき 1 個の PMOS を設ける構成としている。一方、ハイ側のリストア電位 VDL は、SAA 内では無く、クロスエリア XA に集中して設けられたスイッチ QDP2 により、P 側共通ソース線 CSP の一端から供給するようにしている。なお、共通ソース線のプリチャージ回路 CSPC も、クロスエリア XA に設けられ CSP 及び CSN の一端からプリチャージのための短絡及び、 $VDL/2$ のリーク補償を行うようにしている。

【0024】センスアンプの N 側においては、ロウ側リストア電位 $VDBH$ を供給するための第 2 電源配線が N 側共通ソース線 CSN と並列に設けられる。この第 2 電源線と N 側共通ソース線 CSN の間に複数のスイッチ QDN1 が分散して設けられる。QDN1 は、1 個のセンスアンプにつき 1 個の NMOS の割合で、上記の QDP1 と対を成すように設けられる。

【0025】SAA 内で、センスアンプの PMOS 対とオーバードライブ用スイッチ MOSQDP1 は、特に制限されないが P 形基板に形成された共通の N 形ウエル内に形成され、その N 形ウエルには P 側基板バイアスとして VDH が印加される。即ち、これらの PMOS のバックゲートはオーバードライブ電位と等しい VDH にバイ

アスされる。尚、これらの PMOS のバックゲートは VPP にバイアスするようにしても良い。同様に、センスアンプの NMOS 対と QDN1 も P 形にドーピングされた半導体領域 (P 形基板に直接又は P 形基板に形成された 3 重ウエル内) に共通に形成され、その半導体領域には N 側基板バイアスとして $VDBH$ または VBB が印加される。

【0026】図 24 に、図 1 の電源 VDL と $VDBH$ を供給する配線を示す。 VDH と $VDBH$ は、この図に示す配線インピーダンスの低いメッシュ状電源配線により供給される。この図の縦方向の配線は、第 2 番目の金属 (アルミニウム A1 等) 配線層 M2 に形成されたものである。メモリセル領域 MCA では、メインワード線 MWL の間を縫うように、MWL と並行して VDH と $VDBH$ を供給する配線が設けられる。メインワード線 MWL は、例えば 4 本程度のワード線につき 1 本設けることを想定している。また、センスアンプ領域 SAA にも VDH と $VDBH$ を供給する配線が MWL と並行するように設けられる。この M2 の VDH と $VDBH$ の電源配線が上述した図 1 の第 1 電源配線と第 2 電源配線である。

【0027】一方、図 24 の横方向の配線は、M2 より上層の第 3 番目の金属 (A1 等) 配線層 M3 に形成されるものである。メモリセル領域 MCA 及びセンスアンプ領域 SAA にまたがるように、カラム選択線 YS が設けられる。YS は、例えば 4 対のデータ線につき 1 本設けられる。そして、YS の間を縫うように、YS に並行して VDH と $VDBH$ を供給する配線が設けられる。M2 と M3 の VDH や $VDBH$ の電源配線はその交点において、M2 と M3 をつなぐスルーホールコンタクト TH2 により接続される。以上の交差する M2 と M3 の電源配線とスルーホールで結合するようにした VDH や $VDBH$ のメッシュ状電源配線はインピーダンスの低いものとされる。

【0028】図 2 に、図 1 のサブメモリアレイの動作タイミングを示す。SDRAM ではロウアクティブコマンドが入力されると、特定のバンクの特定のメインワード線につながるメモリセルが一斉にセンスアンプに読み出されて増幅される。その後プリチャージコマンドが入力されると、メモリセルの選択を終了して、次の読み出しに備えた待ち状態であるプリチャージ状態にされる。図 2 の波形は、ロウアクティブコマンドからプリチャージコマンドが投入されるまでの図 1 のサブメモリアレイの動作を示したものである。

【0029】データ線及び共通ソース線のプリチャージ制御信号 PCS が立ち下がりデータ線及び共通ソース線の $VDL/2$ プリチャージを停止後、複数ワード線のうち 1 つワード線 WL が選択され VWL レベル (通常は $VWL = VSS$) から VPP になる。それにより選択されたメモリセル MC の NMOS トランジスタのゲートには VPP が印加され活性化し、データを記憶しているキ

ャバシタから蓄えられていた電荷がメモリセルMCの接続されているデータ線D1t、・・・Dntに読み出される。セルの電荷によってデータ線対には微小電圧差が生じ、セルのデータが“H”の時には、D1tがD1bより100mV程度高いレベルになる。ここでは、メモリセルMCのセルキャパシタに“H”のデータが書き込まれていた場合を想定している。低レベル“L”が記憶されている場合でも、電位が下がることを除けば同様である。

【0030】セルデータが完全に読みだされた後の、センス開始時には、N側共通ソース駆動制御信号線SNをVDBHからVDL以上のレベルにしてQDNを活性化し、CSNをVDL/2からVDBHに駆動させる。これと同時にあるいは遅延段数段分遅れて第1のP側共通ソース駆動制御信号線SP1をVDH以上のレベル、例えばVPPからVSSにすることでQDP1を活性化し、CSPをVDL/2からVDHに駆動させる。このとき、図1、図2で詳述したようにVDHはメッシュ状電源配線の低いインピーダンスで供給されなおかつ分散配置されたスイッチQDP1を介して供給される。このため、SA1からSAnが一斉にほぼ同タイミングで活性化されるため、SA1からSAnに対するオーバードライブのバラツキを抑制できる。また、共通ソース線CSP及びCSNの高速の駆動が実現される。また、オーバードライブ駆動により、SAのPMOSTランジスタのソース・ドレイン間電圧及びゲート・ソース間電圧はVDL/2より大きくなるため、データ線対の微小電圧差ΔVを高速に増幅することが可能となる。

【0031】センスアンプのオーバードライブ期間は、データ線高レベル側であるD1tの増幅が完全に終了していない状態で、そのデータ線の電位がVDLの近傍になるまでの時間Tp1に設定される。オーバードライブは、データ線電位がVDLより大きくなる前に停止することが消費電力等の点から望ましい。Tp1の期間の経過後にSP1がVSSからVDH以上のレベル、例えばVPPとされた後、第2のP側共通ソース駆動制御信号SP2がVDH以上のレベル、例えばVPPからVSSににされることでQDP2が活性化されCSPをVDLに設定する。これによりデータ線高レベル側はVDLに保持される。

【0032】尚、プリチャージコマンドが入った後の動作については以下の通りである。選択ワード線WLがVPPからVWLになる。その後、SNをVDLもしくはVPPからVDBHにし、CSNをVDBHから切り離す。また、ほぼ同時にSP2をVSSからVPPにし、CSPをVDLから切り離す。電源から切り離されたCSN、CSP及びデータ線対D1t、D1b、・・・Dnt、Dnbはプリチャージ制御信号PCSによりVDL/2にプリチャージされる。

【0033】以上、本実施例によって得られる効果はは

以下の通りである。(1) オーバードライブ時に発生するオーバードライブ用電源VDHからデータ線への充電電流を、メッシュ状電源配線で供給された配線からその配線の近傍となるように分散して配置された複数のスイッチQDP1から供給できるため、特定のセンスアンプ及び、共通共通ソース線CSPの一部への電流集中が避けられ、SA1からSAnのいずれのSAにおいても等しいオーバードライブの電圧(VDH)でオーバードライブを行うことが可能となる。(2) オーバードライブ期間の設定は、QDP1のゲート信号SP1による活性化される時間で設定でき、SA1とSAnで等しくすることができる。これらにより、オーバードライブ振幅と期間の遠近端差を小さくすることができる。(3) データ線からVDBH端子への放電電流は、多数配置されたQDNでそれぞれアレイ上メッシュ電源VDBHに流れ出るため、特定のセンスドライバ及び、CSNへの電流集中が避けられる。

【0034】尚、本実施例において、QDP1及びQDP2のいずれか一方、或いは両方をNMOSTランジスタで構成することも可能である。その場合には、制御信号の論理をPMOSTランジスタで構成した場合と逆の論理にすることが必要である。QDP1及びQDP2をNMOSTにした場合には、非活性化状態においてゲート・ソース間電圧が負電圧となるため、VDH、VDLからCSPへのリーク電流を低減できる点に利点がある。

【0035】また、この実施例では、センスアンプ1個につきスイッチMOSQDP1とQDN1を1個配置することとしたが、センスアンプ2個、4個、8個につき、QDP1とQDN1を1個配置するように変形しても良い。また、スイッチMOSQDP1やQDN1は、センスアンプの並ぶ方向でチャネルを形成する拡散層を切断せずに一列に接続された長いゲート幅を持つ1個のMOSとして形成してもよい。本願発明の特徴は、SA領域内に分布したスイッチMOSをオーバードライブに用いることでありこの点からは細かくチャネル幅をを切断するか否かは重要ではない。

【0036】＜実施例2＞実施例2のセンスアンプの構成を図3に示す。本図には、センスアンプの主要部を示しており、他の部分については実施例1の記載がそのまま継承される。本実施例は、図1のP側だけのオーバードライブに加えてN側のオーバードライブを追加した構成である。図1と異なるのは、クロスエリアXA内にN側共通ソース線CSNの一端に集中形のスイッチQDN2を追加し、QDN2を介してデータ線のロウ側リストア電位VDBH(通常VSS)を印加するようにした点である。また、メッシュ状電源配線ではVDBHではなくそれよりも低い電圧VDBLをN側のオーバードライブ用電源として供給するようにし、分散配置されたスイッチQDN1を介してN側共通ソース線に供給するようにした。N側共通ソース線をVDBLでオーバードラ

イブするようにしたことに対応して、センスアンプのNMOS対及びQDN1のバックゲートは少なくともVDBLまたはそれ以下の電圧にバイアスするようにする。以上により、図3では、ハイ側とロウ側のリストア電位がそれぞれVDLとVDBHになり、ハイ側とロウ側のオーバードライブ電位がそれぞれVDH(>VDL)とVDBL(<VDBH)になる。

【0037】図4に図3の動作波形を示す。実施例1と同様にメモリセルMCのセルキャパシタに“H”のデータが書き込まれていた場合を想定している。実施例1の図2との違いは、N側のオーバードライブを追加したことにより生じたSN1とSN2の制御にある。

【0038】セルデータが完全に読みだされD1tがD1bより100mV程度高いレベルになった後、SN1がVDBLからVDLもしくはVPPレベルに変化し、QDN1を活性化する。同時もしくは遅延段数段分遅れてSP1がVPPからVSSに変化しQDP1を活性化する。これによって、CSNはVDL/2からVDBLに遷移し、CSPはVDL/2からVDHに遷移する。CSN、CSPがVDBL、VDHに遷移し始めると、データ線対D1t、D1bに接続されているSA1は活性化され、データ線間の微小電圧差は増幅される。この時、SA1はオーバードライブ方式によりデータ線振幅VDLより大きな振幅(VDH-VDBL)で活性化されるため、SA1を構成するNMOS及びPMOSTランジスタのソース・ドレイン間電圧及び、ゲート・ソース間電圧は大きくなり高速動作が可能となる。過大な増幅動作による充放電電力の増加を防ぐため、QDN1はデータ線低レベル側のVDBLへの増幅が完全に終了していない状態、具体的にはVDBHより低いレベルにならない状態までの時間Tn1の間で活性化される。同様にQDP1はデータ線高レベル側のVDHへの増幅が完全に終了していない状態でVDLを越えない状態までの時間Tp1の間だけ活性化される。活性化される時間の制御は、SP1、SN1により行われる。実施例1と同様に、SAnにおけるオーバードライブ期間はSA1と等しく低レベル側がTn1に、高レベル側がTp1に設定される。また、その時のオーバードライブの電圧はSAnに近いQDN1およびQDP1によって供給されるため、SA1と等しく低レベル側がVDBLに、高レベル側がVDHに設定される。

【0039】オーバードライブ動作終了後、SN2をVDBLからVDLもしくはVPPにして、CSNをVDBHに設定する。SN2の活性化タイミングは、QDN1とQDN2が同時に活性化され、VDBLとVDBHがCSNを通じてつながることがないように制御される。それによりデータ線低レベル側D1bはVDBHに保持される。また、SP2をVPPからVSSにすることで、CSPはVDLに設定される。SP2の活性化タイミングは、QDP1とQDP2が同時に活性化され、

VDHとVDLがCSPを通じてつながることがないように制御される。それによってデータ線高レベル側D1tはVDLに保持される。最後にワード線を立ち下げブリチャージ状態に戻す動作は図2と同様である。

【0040】実施例2の利点は以下の通りである。

(1) 実施例1と同様に、データ線高レベル側のオーバードライブについて、すべてのSAについて等しいオーバードライブ電圧とオーバードライブ期間を設定することができ、センス速度の遠近端差を小さくすることができる。(2) さらに本実施例では実施例1に対して、データ線低レベル側もオーバードライブすることにより、同じデータ線振幅を用いた場合にセンス時間を短縮できる。また、この低レベル側オーバードライブの付加により、より低いデータ線振幅即ち動作電圧の低下に対応可能となる。(3) また、データ線低レベル側のオーバードライブについても、多数配置したQDN1とアレイ上メッシュ電源配線によってセンス時のセンスドライバ及びCSNへの電流集中が避けられ、オーバードライブ期間もSA1・・・SAnで共通の信号SN1で設定される。これらにより、オーバードライブ振幅と期間の遠近端差を小さくすることができる。(4) 本実施例における素子の増加は、クロスエリアの1個のMOSの増加であり、センスアンプ領域の面積増加が無い。

【0041】＜実施例3＞次に、実施例3の構成を図5により説明する。本実施例は図3の変形例であって、図1の構成が基本として継承される。図3との違いは、図3ではクロスエリアXA内に集中して配置していたリストア用のスイッチQDP2とQDN2を、センスアンプ領域SAAに分散して配置したことである。QDP2とQDN2の分散配置及びVDL、VDBLのメッシュ状電源配線は図1の実施例と同様に構成される。図6にこの図5の動作波形を示す。この動作波形は、図4の動作波形と同じである。

【0042】実施例3の利点は以下の通りである。

(1) 実施例2と同様に、データ線高レベル、低レベルの両側をオーバードライブすることにより、高速なセンスを実現できる。(2) すべてのSAにおいて等しいオーバードライブ電圧及びオーバードライブ期間を設定でき、遠近端差を小さくすることができる。(3) 実施例2と比較して、リストア時においてもセンスアンプ内に多数配置されたQDN2及びQDP2により、CSN及びCSPへの電流集中を避けることができる。(4) センスドライバを全てセンスアンプ内に配置しているため、センスアンプ以外のレイアウトが容易になる効果がある。

【0043】＜実施例4＞図7に実施例4を示す。この実施例も共通部分は実施例1を継承する。本実施例は、P側とN側のオーバードライブ用のスイッチMOSをすべて同一の導電性のトランジスタ、図ではNMOSTランジスタで構成し、それらのゲート信号を共通にしワー

ド線昇圧レベルVPPなどのオーバードライブ電圧VDHよりも十分大きなレベルの信号で駆動しているのが特徴である。P側のスイッチもNMOSとしたため、P側のNMOSによる電圧ドロップを防止するためである。この実施例は図3における分散配置したオーバードライブ用スイッチMOSの変形例の一つと見ることもできる。この実施例では、4個のセンスアンプにつき1個のP側オーバードライブ用スイッチMOS QDP1と、1個のN側オーバードライブ用スイッチMOS QDN1がセンスアンプ領域SAA内に配置される。QDN1とQDP1のゲートは、オーバードライブ制御信号線SAE1に共通に接続される。ハイ側とロウ側のオーバードライブ電位VDHとVDBLは他の実施例と同様にメッシュ状電源配線から供給される。リストア電位VDLとVDBHの供給は、図3の回路と同様に、クロスエリアXAに集中的に配置されたQDP2、QDN2によりなされる。

【0044】図12に、本構成を実現するセンスアンプの平面レイアウトを示す。図12(a)には、4組のデータ線対について示し、簡単化のため第1金属配線層(メタル1 M1)とトランジスタゲート及びゲート配線(FG)、拡散層、NWELのみ示す。SANはSAのNMOSTランジスタ部分を示し、SAPはPMOSTランジスタ部分を示す。QDN1、QDP1はSANとSAPの間にゲートを一列に配置されたNMOSで構成される。一列に配置されたNMOSを交互にQDN1とQDP1に割り当てていることが特徴である。この配置により、制御電極SAE1が1本に共通化されレイアウト面積が低減される。図12のレイアウトでは、QDN1とQDP1の数はSANとSAPの間に4組のデータ線対にそれぞれ1つつ配置しているがこれに限定される訳ではない。例えば、8組(又は16組)のデータ線に1つつ配置するようにしても良い。また、QDN1、QDP1のセンスアンプ内での位置はSAN、SAPの間が、P側とN側の両方の共通ソースとの接続の点から最も合理的であるが、これに制限されるわけではない。

【0045】図12(b)は、図12(a)と同一部分につきM1を省略し、M1よりも上層の第2金属配線層(メタル2 M2)を追加したセンスアンプの平面レイアウトである。M2には、P側コモンソース線CSP、VDBL供給電源線VDBL、VDH供給電源線VDH、及びN側コモンソース線CSNが順に配置される。これら4個の配線は、いずれもセンスアンプが列をなす方向(ワード線の延在方向と等しい)に延在する。この4個の配線を並べる順番は、この実施例のセンスアンプのレイアウト面積を小さくするため特徴的な構成である。この様子は、図7の回路図と一致しており、この意味で図7の回路図は、具体的なレイアウトを簡略に示したものである。尚、後に述べる図9なども同様に回路図

に具体的レイアウトのエッセンスが記載されている。

【0046】図12に示した、QDP1とQDN1のチャネル幅に対する望ましい構成の一つは、それぞれのチャネル幅を等しくする(同じサイズのNMOSとする)ことである。これにより、センスアンプのSANの方がSAPよりも先にオンするようになる。プロセスばらつきによるVt変動がPMOSに比較して小さなNMOSTランジスタで構成されたSANで微小電圧差を差動増幅を開始することができるため、精度の良い差動増幅ができる。QDP1とQDN1はともにNMOSであり、同じP形のウェル内(この実施例ではP型基板直接)に形成され、そのP形のウェルは最低電位が(例えばこの例ではVDBL)が印加される。このため大きな電位を印加する方のQDP1の方が相対的に大きな基板バイアスが印加され、QDP1のほうがQDN1よりもしきい値電圧が大きくなる。このためにしきい値電圧の小さなQDN1がオンしやすくなり、SANを最初に駆動させることができる。

【0047】図13に、図12上のA-A'間の断面図を示す。また、図14(a)、(b)に、B-B'間及びC-C'間の断面図をそれぞれ示す。これらの断面図中でSGI(Shallow Groove Isolation)は拡散層(図中N+, P+)分離するための絶縁部で、基板に形成された浅い溝をSi酸化物等で埋め込んだものである。また、CNTはメタル1(図中M1)と拡散層もしくはFGとつなぐためのコンタクトホールである。TH1、TH2はそれぞれM1-メタル2(図中M2)間、M2-メタル3(図中M3)間とをつなぐコンタクトホールである。図14(a)に示すように、CSNとQDN1のドレインの間はM3を用いて結線される。この図から分かるようにCSNとQDN1のドレインの間は、単に電気的な結線としてはM1でも接続する余裕はある。M3で接続した理由は、SANを構成する2つのNMOSのソースとQDN1のドレイン間の抵抗が等しくなるように配慮したためである。SANを構成する2つのNMOSのソース電位が等しくなるように拡散層P+も接続するようにしている。これらによりSANを構成する2つのNMOSのアンバランスが起らないようレイアウト上の工夫がされている。CSNとCSPはそれぞれSANとSAPの上のM2に配線されている。2つのNMOSのソース同様に、図14(b)に示すように、CSPとQDP1のソース(QDP1がNMOSのためソースになる)の間は、M3を用いて結線されている。SAPを構成する2つのPMOSのソースとQDP1のソースとの間も上述したのと同様の工夫がされている。

【0048】実施例4の動作を図8の波形図を用いて説明する。データ線プリチャージ終了からデータ線に微小電圧差を読み出すまでは前述の実施例と同様である。セルに蓄えられていた情報がデータ線に読み出された後、

SAE1をVDBLからVPPにする。QDN1、QDP1が活性化されてCSNはVDL/2からVDBLへ遷移しはじめ、CSPはVDL/2からVDHに遷移し始める。この時、QDP1とQDN1を同一の物理定数のNMOSトランジスタで構成した場合でもQDP1のしきい値電圧 V_t はQDN1の V_t よりも基板バイアス効果により高くなっている。このため同じ電圧がゲート信号として印加されてもQDP1よりもQDN1の方が先に駆動される。QDN1及びQDP1は、過度にデータ線の増幅振幅が大ききされることによる消費電流の増加を防ぐために、データ線の低レベル側がVDBH以下になるか、データ線高レベル側がVDLを越えない T_{np} の間だけSAE1により活性化される。SANにおけるオーバードライブ期間は、ゲート信号SAE1で決まるためSA1と等しくなり T_{np} となる。その後、SAE1はVPPからVDBLになり、オーバードライブ動作が終了する。SAE1がVDBLになったと同時に、SN2をVDBLからVDLもしくはVPPしてQDN2を活性化する。それによりCSNをVDBHにして、データ線低レベル側であるD1bをVDBHにリストアする。同様にSAE1がVDBLになった後、SP2をVPPからVSSにしてQDP2を活性化する。それによりCSPをVDLにして、データ線高レベル側であるD1tをVDLにリストアする。最後に、ワード線を立ち下げプリチャージ状態にする動作は、図1等と同様である。

【0049】本実施例の利点は以下の通りである。

(1) レイアウト上で、QDP1をNMOSトランジスタで構成することで、QDN1とQDP1をセンスアンプ内で一列に配置し、そのゲート制御信号をQDN1と共通にすることが可能となり、実施例1～3のようにNMOS、PMOSを配置する場合に比べてNMOS、PMOSを二列に配置した場合よりレイアウトを小面積化することができる。(2) さらに、CSN、CSPの両方をオーバードライブしている図3の実施例と比較してオーバードライブ用の制御信号を1本に減らすことができ、制御信号用の回路を減らすことができる。(3) QDP1とQDN1をともにNMOSとして同じ電圧でバックゲートとバイアスするようにすることで、センス開始時のSAE1が入力されたとき、QDP1よりもQDN1の方が先に駆動するため、プロセスばらつきによる V_t 変動がPMOSに比較して小さなNMOSトランジスタで微小電圧差を差動増幅を開始することができ、精度の良い差動増幅ができる。(4) QDP1をNMOSトランジスタで構成することにより、SAE1がVDBLの時にはQDP1のゲートソース間電圧が負電圧になるため、QDP1非活性状態におけるVDHからVDL/2へのリーク電流を抑制することができる。(5) 実施例1から3と同様に、すべてのSAに等しいオーバードライブ電圧とオーバードライブ期間を設定でき、オー

バードライブの遠近端差を小さくすることができる。

【0050】尚、本実施例は、P側及びN側の両方をオーバードライブする構成を採ったが、電源電圧との関係で、オーバードライブが片側で十分な場合には図8において、VDBLの電源配線をロウレベルのリストア電位であるVDBHにすれば良い。これによりVDBLを供給する大容量の負電源発生回路を用意する必要がなくなり、チップ面積を小型化できる利点がある。それにとまって、センスアンプ用の電源線の種類を減らせるため、メッシュ電源配線が容易になる利点がある。

【0051】また、DRAMのCMOSセンスアンプにハイレベルとロウレベルのリストア電圧を供給するために、両者ともNMOSを用いる構成自体は[文献5]に記載されている。しかしながら、[文献5]は、ワード線の駆動電圧を電源電圧VCCにする前提の元で、P側のスイッチNMOSのしきい値電圧 V_t ドロップを意図的に起こさせ、データ線のハイレベルのリストア電位を $V_{CC}-V_t$ に低下させるための構成であり、本願とは目的が異なる。[文献5]では、そもそもスイッチMOSの分散配置等については記載がない。またオーバードライブに対する記載もない。

【0052】＜実施例5＞図9に実施例5の回路を示す。本実施例は、図7におけるリストア用のスイッチMOSをNMOSとするとともにセンスアンプ領域SAAに分散配置し、図7と同様に制御信号を共有化した点が特徴である。P側及びN側のオーバードライブ用スイッチNMOS QDP1及びQDN1は図7と同じ構成とされる。これに対して、リストア用のスイッチQDP2及びQDN2もセンスアンプ領域内に配置される。QDP2及びQDN2のゲートは共通の制御線SAE2により制御される。更にハイ及びロウのリストア電位VDL、VDBHも図24で詳述したメッシュ状電源配線により供給する。QDP2及びQDN2は、4個のセンスアンプにつきそれぞれ1個ずつ配置している。以上のQDN1とQDP1及び、QDN2とQDP2はゲートを2列有するNMOSトランジスタでSAN列とSAP列に平行に1列配置することで構成される。

【0053】センスアンプの数とオーバードライブ用スイッチMOSやリストア用スイッチMOSの数の対応関係はこの実施例に限定されることはない。例えば8個のセンスアンプにつきQDP1、QDP2、QDN1、QDN2を1個ずつ対応させるような変形をしても良い。また、共通ソース線の充電はオーバードライブ用スイッチにより主に行われるため、リストア用スイッチは相対的には駆動能力が小さくとも良い。そこで、オーバードライブ用スイッチQDP1、QDN1の数を、QDP2、QDN2の数よりも多くする構成も合理的である。このことをより一般的に言い換えれば、SAA内で、全オーバードライブ用スイッチMOSのコンダクタンスを全リストア用スイッチMOSのコンダクタンスよりも大

きくする構成とするれば良いことになる。

【0054】本実施例の動作について図10の波形図を用いて説明する。プリチャージを終了しSAE1をVPPに駆動してオーバードライブ開始するまでは、図8と同様である。QDN1及びQDP1は、過度センスによる消費電流の増加を防ぐために、データ線の低レベル側がVDBH以下になるか、データ線高レベル側がVDLを越えないTnpの間だけSAE1により活性化される。SANにおけるオーバードライブ期間は、ゲート信号SAE1で決まるためSA1と等しくなりTnpとなる。その後、SAE2がVDBLからVPPになり、CSNはVDBHになり、データ線低レベル側であるD1bはVDBHにリストアされる。同時にCSPはVDLになり、データ線高レベル側であるD1tはVDLにリストアされる。SAE2は同時にQDN1とQDN2及びQDP1とQDP2が活性化され、2電源VDBLとVDBH及びVDHとVDLがCSN、CSPを介して短絡されることがないように制御される。

【0055】本実施例の利点は以下の通りである。

(1) センスアンプのレイアウトでは、センスドライバがNMOSで構成された2列配置となり実施例5よりレイアウト面積が増大するが、センスアンプ以外にセンスドライバを配置する必要がなくセンスアンプ以外のレイアウトが容易になる。(2) データ線の高レベル及び低レベルの両方をオーバードライブしている実施例2と比較してセンスアンプの制御信号数を2本減らすことができ、制御信号用の回路を少なくできる。(3) 実施例1から4と同様にすべてのSAにおいて等しいオーバードライブ電圧とオーバードライブ期間を設定でき、遠近端差を小さくすることができる。(4) QDP1及びQDP2がNMOSTランジスタで構成されているため、スタンバイ状態ではQDP1及びQDP2のゲート・ソース間電圧VGSがVGS<0VとなるためVDH及びVDLからVDL/2へのリーク電流が抑えられる。

【0056】尚、センス速度改善効果は減少するが、VDBL=VDBHとすると、大容量の負電源回路が不要となりチップ面積を小さくできる効果がある。さらに、その場合には、センスアンプ用の電源線の種類が3種類となるためメモリアレイ上の電源線の配線が容易になる利点がある。

【0057】また、本発明は、オーバードライブ方式を用いていないセンスアンプ構成についても適用できる。その場合のセンスアンプの構成例を図11に示す。オーバードライブを用いていないため、センスアンプのPMOS対SAPの基板電位はVDLに設定している。さらに、センスアンプ以外の場所にセンスドライバが不必要であり、その領域のレイアウトが容易になる利点がある。

【0058】また、図7～11はセンスドライバを全てNMOSTランジスタで構成しているが、PMOSTラ

ンジスタで構成することも可能である。

【0059】以上の実施例において、センスドライバ及びSAトランジスタのVtについては、低Vtでも高Vtでも構わない。ただし、低Vtトランジスタを用いた場合、高Vtトランジスタを用いるよりも高速にセンスアンプを動作させることができる。高Vtトランジスタを用いた場合、SAのデータ保持状態におけるリーク電流を低減でき、消費電力を抑えることができる。但し、低Vtトランジスタを用いた場合には、後で述べる発明を用いることによってリーク電流を低減することができる。さらに、センスドライバに高Vtトランジスタを用いることによって、スタンバイ状態でのセンスアンプ電源とVDL/2の間のリーク電流を低減できる。

【0060】実施例1から5において用いている電圧関係は、以下のようにすることが望ましい。ワード線WLの振幅VWLからVPPとデータ線振幅VDBHからVDL及び初期センス用電源VDBL、VDH及び、基板電位VBBの大小関係は $VBB = VDBL (-0.75V) < VWL = VDBH = VSS (0V) < VDL$

$(1.5V) < VDH (2.5V) < VPP (3V)$ とすると内部電源数を減らすことができる。また、負電源数を増加するが、 $VBB < VDBL (-0.5V)$ とするとメモリセルの基板バイアスの変動を抑えることができる効果がある。さらに、 $VDH = VPP (3V)$ とすることでより大きな電源でセンスアンプを活性化することができる。

【0061】また、電源電圧の設定は、[文献6]に示されるような、ワード線スタンバイレベルが負電圧であるネガティブワード方式も考えられる。ネガティブワード線方式を上記の本願実施例に適用するには、 $VBB = VDBL = VWL (-0.75V) < VDBH = VSS (0V) < VDL (1.5V) < VDH = VPP (2.25V)$ とする。この方式を採ると内部電源レベル数を少なくなる効果がある。また、電源レベル数は増えるが $VBB < VDBL < VWL$ もしくは $VBB < VWL < VDBL$ 、 $VBB < VDBL = VWL$ とVBBと他の電源を別にとる事でメモリセルアレイの基板バイアスであるVBBの変動を下げれば、セルのデータ保持特性がよくなる効果が得られる。

【0062】以上の説明においてVDHには外部電源VCCを用いるのが望ましいが、昇圧回路による昇圧レベルや、降圧回路による降圧レベルを用いてもよい。

【0063】＜実施例6＞以上の実施例では、オーバードライブ方式について検討してきたが、電源電圧を下げた場合には、センスアンプのしきい値電圧Vtを低減する構成との併用の必要性が生ずることが考えられる。低しきい値電圧のMOSを用いたセンスアンプをオーバードライブすることにより、動作可能なデータ線の振幅を更に低減して低消費電力化を図れる可能性があるためである。しかし、低しきい値MOSはサブスレシールド電

流を増加させ待機時の消費電流を増加させるため、SDRAMに見られるアクティブスタンバイ状態との整合性が懸念される。そこでこの実施例では、低しきい値のMOSを用いたセンスアンプがデータをラッチした状態でのサブスレシヨルド電流の低減法を示す。

【0064】図20は、データ線からの信号を増幅してセンスアンプにラッチした時のセンスアンプのサブスレシヨルド電流を示したものである。SDRAMでは、ロウアクティブコマンドにより特定の1ワード分のメモリセルデータをセンスアンプで増幅してラッチした状態に保つアクティブスタンバイと呼ばれる動作状態を持つ。あらかじめセンスアンプにデータを保持しておいて、そこに高速にアクセスするためである。このとき図20に示すようにセンスアンプのデータ保持状態では、1個のセンスアンプあたり i のサブスレシヨルド電流が流れる。VDLとVDBHの間に直列接続されたセンスアンプのCMOSはPMOSかNMOSの一方はゲート・ソース間がOVとされオフ状態とされるが、しきい値電圧が低いと完全にはオフとはならず考慮すべきサブスレシヨルド電流が流れる。このため、図21の波形図に示すように結局、電源VDLからVDBHへは $n i$ のリーク電流となる。たとえば、 V_t が0.1Vのトランジスタを用いて64k個のセンスアンプがアクティブスタンバイ状態になった場合には、約3mAのサブスレシヨルド電流が流れ低電力化の妨げになる。さらに、トランジスタの V_t を0.1V下げるとこの電流は約10倍となる。したがって V_t の製造ばらつきがある場合や、 V_t が低下する高温では低 V_t MOSのサブスレシヨルド電流は大きな問題となる。

【0065】図15に、オーバードライブ方式のSAの構成に本願のアクティブスタンバイ時のサブスレシヨルド電流低減方式を適用した回路を示す。共通な回路構成はこれまでに述べてきた実施例の回路を踏襲しており、特に図3に示した回路と対比すると理解しやすい。

【0066】最初に、本発明のセンスアンプのリーク電流を低減する原理を説明する。センスアンプSAがセルのデータを増幅した後では、CSNはVDBHに、CSPはVDLになっている。この時の、SAに含まれるMOSの基板バイアスは設計されている値、例えばNMOSトランジスタではVBBである。ここで、CSNのレベルがVDBHからVDBH' ($>VDBH$) になると、基板バイアスは(VDBH' - VDBH) 分上昇し、基板バイアス効果によってNMOSトランジスタの V_t が上昇する。即ち、NMOSゲートとソースが短絡されている状態で、バックゲートに印加する電圧(基板電圧)を一定として、ソース電位(=ゲート電位)を高い電圧とする。これによりバックゲートとソースの間の電圧が大きくなり、相対的にバックゲートに深いバイアスがかかるためNMOSのしきい値が上昇することを利用している。同様に、CSPのレベルがVDLからVD

L' ($<VDL$) となることでPMOSトランジスタの V_t が上昇する。CSN及びCSPのレベルを変化により V_t が上昇することによって、SAリーク電流を決めているサブスレシヨルドリーク電流が低減でき、その結果、VDLからVDBHへのリーク電流を低減できる。以上の効果を得るための本発明の実施例では、COMMONソースCSN、CSPのレベルをスタンバイ時、アクティブ時、アクティブスタンバイ時で変えるための手段を有することを特徴とする。

【0067】図15における図3との違いは、P側及びN側のリストア用スイッチをそれぞれZpとZnに置き換えたことである。Zp及Znは、P側及びN側におけるリストア電位を供給するとともに、そのリストア電位を制御信号に従って変更するための手段である。Znの動作を例に取ってその役割を説明する。センスアンプの増幅初期はQDN1によりCSNをVDBLでオーバードライブし、オーバードライブの停止後にZnはSNの制御信号に従って、CSNにリストア電位VDBHを供給する。所定の時間の経過後にアクティブスタンバイ状態にされると、SN3の制御信号に従って、ZpはCSNをVDBH' ($>VDBH$) に駆動する。

【0068】次に、図16に図15中のZnの構成例を示す。図16(a)に示す構成では、CSNとVDBHの間にQDNと並列に高 V_t のNMOS QDN3を付加している。QDN3はゲート長と幅の比 W/L でQDNに比べて $1/500$ 以下であるような低駆動力のトランジスタで構成され、活性化されたときにVDBH' ($>VDBH$) をCSNに供給する。即ちSN3は導通してもインピーダンスが高くセンスアンプのリーク電流が流れると電圧降下が生じるためCSNをVDBH' に上昇させ負帰還効果でリークを低減する。QDN3の基板電位は、QDNと等しく設定される。QDN3が活性化されるのは、センスアンプ活性化状態において、少なくともQDNが非活性化状態の時に活性化され、初期センス時にQDNと同時に活性化されてもよい。QDN3を活性化するには、SN3をVDBHからVDLに設定する。

【0069】図16(b)では、CSNとVDBHの間にQDNと並列に低 V_t のPMOS QDN3を付加した構成で、ゲート信号SN3により活性化された場合、CSNにはVDBHよりQDN3の V_t 分高い電源を供給する。QDN3の基板電位は、VDLもしくは、SAのPMOSと等しい電位に設定する。QDN3が活性化されるのは、センスアンプ活性化状態において、少なくともQDNが非活性化状態の時に活性化される。QDN3を活性化するときには、SN3をVDLからVDBHに設定する。

【0070】図16(c)ではZnの構成として、VDBH' を電源にする高 V_t のNMOS QDN3をCSNに接続させている。従って、この回路では、VDB

H' ($>VDBH$) を形成する電源回路がされていることが前提となる。 $VDBH'$ は抵抗分割回路や電圧リミッタ回路等により形成される。 $QDN3$ の基板電位は、 QDN の基板電位と等しい電位に設定される。 $QDN3$ は $SN3$ により活性化されて CSN に $VDBH'$ を供給する。 $QDN3$ が活性化されるのは、センスアンプ活性化状態において、 QDN が非活性化状態の時に活性化される。 $QDN3$ を活性化するときには、 $SN3$ を VDL から $VDBH$ に設定する。

【0071】図16(d)では、 QDN のゲート電圧を大きさを SN により制御して Zn の効果を QDN で実現する構成である。アクティブスタンバイにおいて QDN のオン抵抗が高くなり、 CSN のレベルが $VDBH'$ になるようにゲート信号 $SN3$ を制御する。本構成では、追加のトランジスタがないため、他の実施例に比べて SN の制御が幅雑になるがセンスアンプ周辺のレイアウトを容易にすることが出来る。

【0072】図17(a)から(d)に Zp の構成例について示す。これらは図16で述べた回路を P 側のハイレベル用に改変したものあり、図16の回路と同様にして理解される。

【0073】図18に図15の構成の Zn 及び Zp に図16(c)及び図17(c)を適用した場合の動作波形図を示す。ロウアクティブコマンド(RowACT)が入力された後、 PCS が VDL から $VDBH$ に遷移し、プリチャージ動作が停止される。プリチャージ終了後からセンスアンプがデータを保持するまでの動作手順は、前述の実施例2と同様であるので省略する。 SA がオーバードライブ動作、及びリストア動作により増幅動作を終えデータを確定している状態で、前述の通り VDL と $VDBH$ の間のリーク電流が流れ、1個の SA あたりのリーク電流を i とすると、サブメモリアレイにおいてコモンソース線に n 個の SA が接続されていた場合、 VDL から $VDBH$ へのリーク電流の総和は ni となる。

【0074】リーク電流を低減するために、ロウアクティブ信号が入力され一定時間経過後、センスアンプがセルの読み出し信号を十分に増幅した後、 SN 及び、 SP は非活性化され、代わって $SN3$ 及び $SP3$ が活性化される。その結果、 CSN は $VDBH$ から $VDBH'$ になり、 CSP は VDL から VDL' に設定される。この時、 SA を構成する $NMOS$ の基板電位は、相対的に ($VDBH' - VDBH$) 分高くなり、同様に $PMOS$ の基板電位は相対的に ($VDL - VDL'$) 分高くなり、共に基板バイアス効果によって高 Vt 化し、サブスレッショルドリーク電流を低減することが可能である。

【0075】アクティブスタンバイのデータ線対間の振幅 ($VDL' - VDBH'$) の設計値の最小値は、センスアンプ感度により設定される。データ線振幅 1.4V を仮定した場合には、データ線対の振幅 ($VDL' - VDBH'$) を 600mV 程度に設定するとリードコマン

ドが入るような場合においても、データの破壊が起これず、アクティブスタンバイでのリーク電流を低減することが可能である。

【0076】アクティブスタンバイ状態を終了するためにプリチャージコマンド(PreCharge)が入力された後の動作について説明する。プリチャージコマンドにより $SN3$ 及び $SP3$ を非活性化し、 SN 及び SP を活性化する。それによりデータ線対は、 $VDBH$ もしくは VDL にリライトされる。その後、ワード線が非活性化され、 VPP から VWL になり、 SN 、 SP が非活性化される。最後に PCS によりデータ線対 CSN 、 CSP をプリチャージレベル $VDL/2$ にプリチャージを行う。

【0077】なお本発明により、低 Vt MOS を用いたプリチャージ回路やカラムスイッチのリーク電流も低減の効果も得られる。アクティブスタンバイ状態では、プリチャージ制御信号 PCS 及び Y 選択信号 $YS0$ 、 $YS1$ は $VDBH$ 、 VSS 、 $VDBL$ のいずれかになっている。センスアンプ内の $NMOS$ の基板電位を共通にしている場合には、プリチャージ回路 PC に含まれるデータ線間に直列に挿入されている $NMOS$ において基板バイアス効果が働き Vt が上昇する上に、ゲート・ソース間電圧が負電圧となるため、プリチャージ回路のリーク電流を低減できる。この時、 VDL から $VDBH$ 間に流れるリーク電流が低減できる。同様の理由から、プリチャージ回路 PC 内に含まれる $VDL/2$ を供給し、データ線低レベルに接続されている $NMOS$ の $VDL/2$ から $VDBH$ へのリーク電流も低減できる。さらには、 I/O 線対プリチャージレベルがデータ線対と同じか高いときには、 I/O 線とデータ線低レベルに接続された $NMOS$ におけるリーク電流も低減できる。

【0078】なお、本発明はセンスアンプアクティブ時の CSN 及び CSP を活性化方式及び、活性化する MOS の配置方式については限定されず、クロスカップル型の回路構成を有する SA 構成に適用できる。例えば、オーバードライブ方式である実施例1から5や、オーバードライブ方式でないセンス方式にも適用可能であり、消費電力を低減することが可能となる。

【0079】オーバードライブ方式を用いないセンスアンプに実施した例を図19に示す。本構成では、センスアンプの $PMOS$ 対の基板電位を VDL にした構成が望ましく、 QDP 、及び $QDP3$ の基板電位も同様に VDL に設定される。

【0080】

【発明の効果】本願において開示されている発明のうち代表的なものによって得られる効果を簡単に説明すると下記の通りである。この発明によればオーバードライブ方式のセンスアンプにおいて、オーバードライブ用センスドライバをセンスアンプ部に複数分散して配置することで、複数のセンスアンプの間でのセンス時のコモンソース電位の差が小さくできる。さらに、オーバードライ

ブ期間をすべてのセンスアンプにおいてゲート信号で制御できる。そのため、オーバードライブの遠近端差を小さくすることができる利点がある。その結果、高速センス動作を保証しながら消費電力を抑えて低消費電力化できる。

【図面の簡単な説明】

【図 1】本発明の実施例 1 のセンスアンプ部分である。

【図 2】実施例 1 の動作波形図を示した図である。

【図 3】本発明の実施例 2 のセンスアンプ主要部分である。

【図 4】実施例 2 の動作波形図を示した図である。

【図 5】本発明の実施例 3 のセンスアンプ主要部分である。

【図 6】実施例 3 の動作波形図を示した図である。

【図 7】本発明の実施例 4 のセンスアンプ部分である。

【図 8】実施例 4 の動作波形図を示した図である。

【図 9】本発明の実施例 5 のセンスアンプ主要部分である。

【図 10】実施例 5 の動作波形図を示した図である。

【図 11】本発明を通常のセンス方式に適応した場合の実施例である。

【図 12】実施例 4 及び実施例 5 のセンスアンプ部分のレイアウト実施例である。

【図 13】図 12 のセンスアンプレイアウト一部分の断面構造例である。

【図 14】図 12 のセンスアンプレイアウト一部分の断面構造例である。

【図 15】本発明の実施例 6 のセンスアンプ部分である。

【図 16】図 15 の Z_n の構成を示した図である。

【図 17】図 15 の Z_p の構成を示した図である。

【図 18】図 15 に図 17 (c)、図 18 (c) を実施した場合の動作波形である。

【図 19】低 V_t センスアンプに適用した構成例である。

【図 20】アクティブスタンバイにおけるリーク電流経路を示している図である。

【図 21】図 20 における動作波形を示している。

【図 22】本願の適用されるシンクロナス・ダイナミック・ランダム・アクセス・メモリの全体構成図。

【図 23】一つのメモリアレイ内のサブメモリアレイの分割を示す図。

【図 24】サブメモリアレイ内のメッシュ状電源配線を示す図。

【図 25】本願に先立って検討したオーバードライブ方式の回路図。

【図 26】図 25 の動作波形図の例である。

【符号の説明】

CNT：メタル 1 層とフローティングゲート及び拡散層へのコンタクトホール、CSN：N 側（ロウレベル側）

コモンソース線、CSP：P 側（ハイレベル側）コモンソース線、CSP (1)：SA1 のコモンソースノード、CSP (n)：SAn のコモンソースノード、

CSPC：VDL/2 コモンソース線プリチャージ回路、D1t、D1b、Dnt、Dnb：データ線、拡散層：不純物拡散層、FG：MOSTランジスタゲート層及びゲート配線層、IOt、IOb：I/O 線、MC：メモリセル、MCA：メモリセルアレイ、M1：第 1 層目の金属配線層、M2：第 2 層目の金属配線層、M3：第 3 層目の金属配線層、SN：CSN 活性化信号、SN1：初期センス用 CSN 活性化信号、SN2：リストア用 CSN 活性化信号、SN3：アクティブスタンバイ用 CSN 活性化信号、NWEL：N 型半導体領域、PC：VDL/2 データ線プリチャージ回路、PCS：プリチャージ制御信号、

SP：CSP 活性化信号、SP1：初期センス用 CSP 活性化信号、SP1 (1)：SA1 における SP1 信号、SP1 (n)：SAn における SP1 信号、

SP2：リストア用 CSP 活性化信号、SP3：アクティブスタンバイ用 CSP 活性化信号、QDN：VDBH を電源とする CSN 駆動 MOSTランジスタ、QDN1：VDBL を電源とする CSN 駆動 MOSTランジスタ、QDN2：リストア用 CSN 駆動 MOSTランジスタ、QDN3：アクティブスタンバイ時の CSN 駆動 MOSTランジスタ、QDP：VDL を電源とするセンス用 CSP 駆動 MOSTランジスタ、QDP1：VDH を電源とする CSP 駆動 MOSTランジスタ、QDP1 (1)：SA1 にある VDH を電源とする CSP 駆動 MOSTランジスタ、QDP1 (n)：SAn にある VDH を電源とする CSP 駆動 MOSTランジスタ、QDP2：リストア用 CSP 駆動 MOSTランジスタ、QDP3：アクティブスタンバイ時の CSP 駆動 MOSTランジスタ、SA：クロスカップル MOSTランジスタ、SAE：コモンソース線活性化信号、SAE1：オーバードライブ用コモンソース線活性化信号、SAE2：リストア用コモンソース線活性化信号、SAN：クロスカップル NMOSTランジスタ部、SAP：クロスカップル PMOSTランジスタ領域、TH1：メタル 2 層とメタル 1 層とのコンタクトホール、TH2：メタル 1 層とメタル 2 層とのコンタクトホール、Td：コモンソース線活性化信号ゲート遅延時間、Tn1：n 側オーバードライブ期間、Tp1：p 側オーバードライブ期間、VBB：基板電位、VDBH：データ線低レベル、VDBH'：アクティブスタンバイ時のデータ線低レベル、VDBL：低レベル用オーバードライブ電源、VDH：高レベル用オーバードライブ電源、VDL：データ線高レベル、VDL'：アクティブスタンバイ時のデータ線高レベル、VNW：NWEL の電位、VPP：ワード線高レベル、VSS：グラウンド 0V、VWL：ワ

ード線低レベル、 WL : ワード線、 YS1、YS

n、 : Y 選択線。

【图 2】

图 2

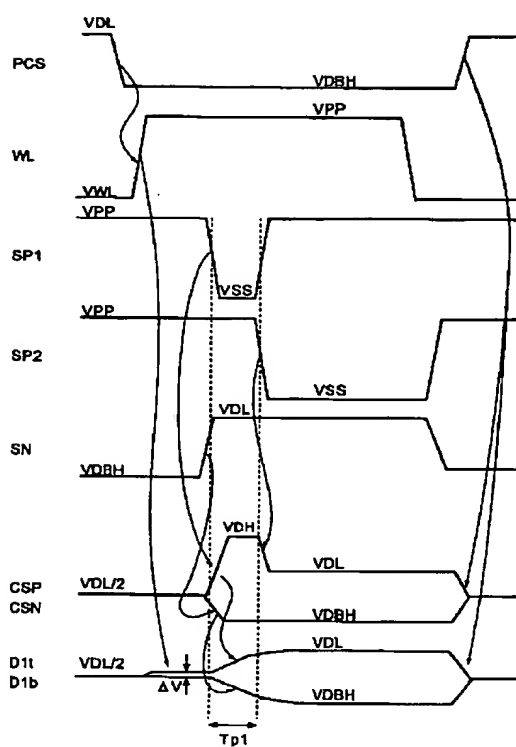
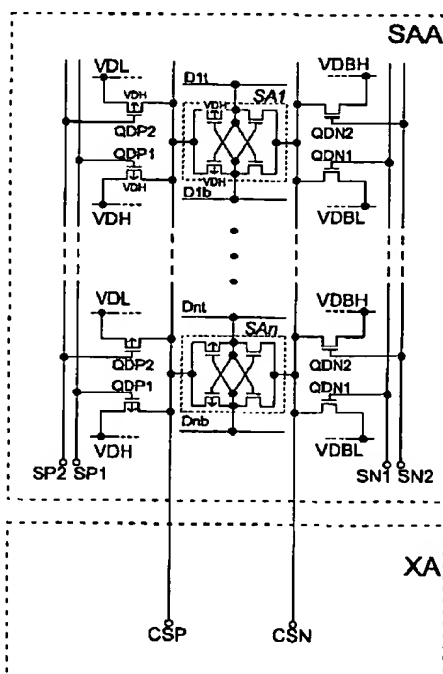


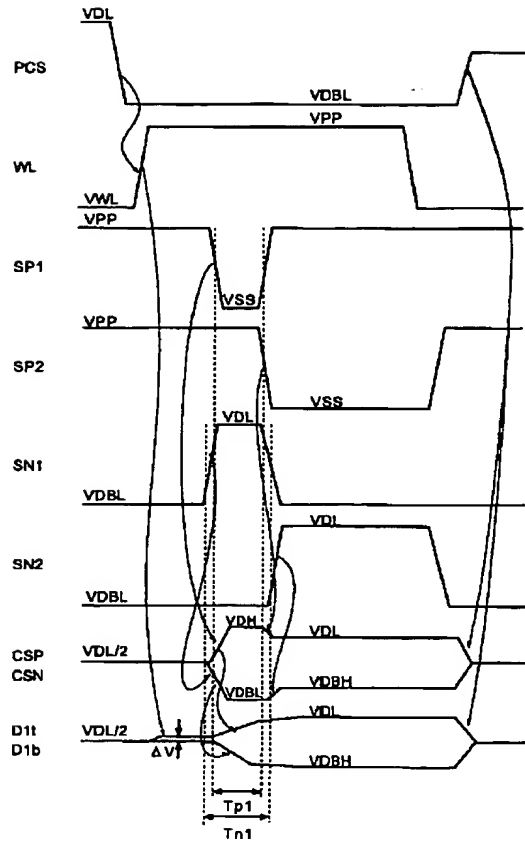
图 3

图 5



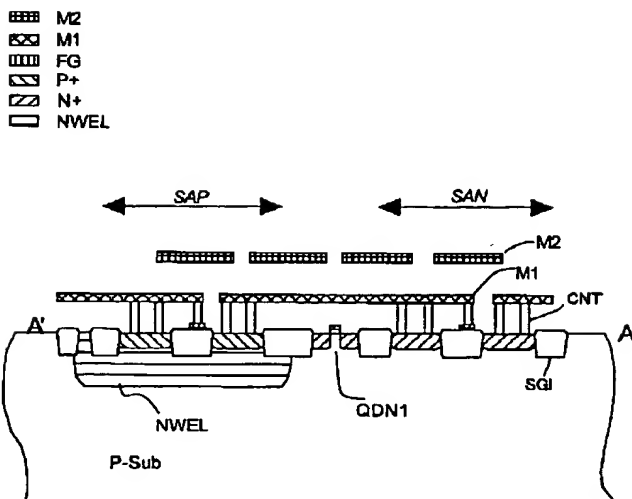
【図 4】

図 4



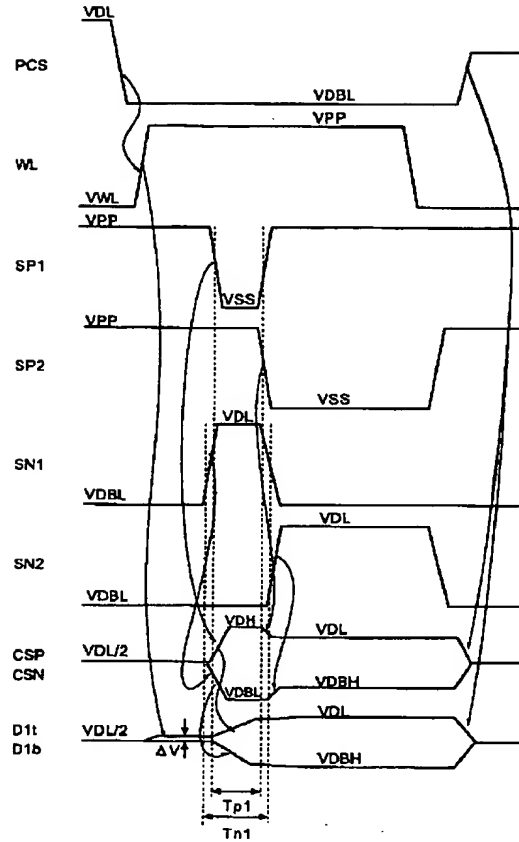
【図 13】

図 13



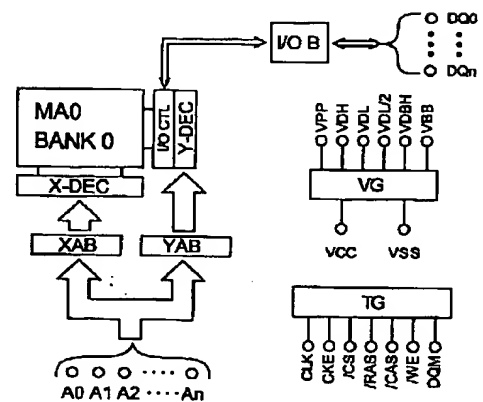
【図 6】

図 6



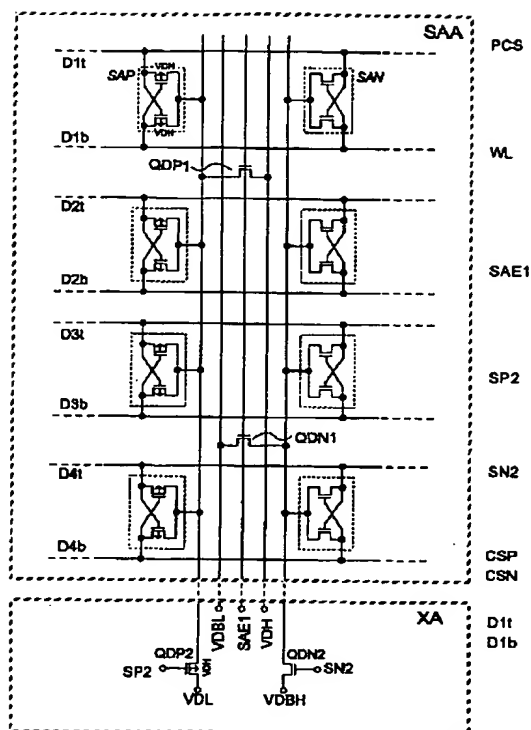
【図 22】

図 22



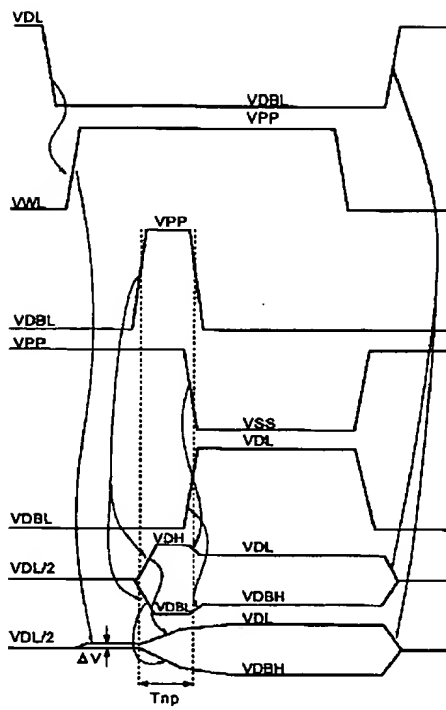
【図7】

図7



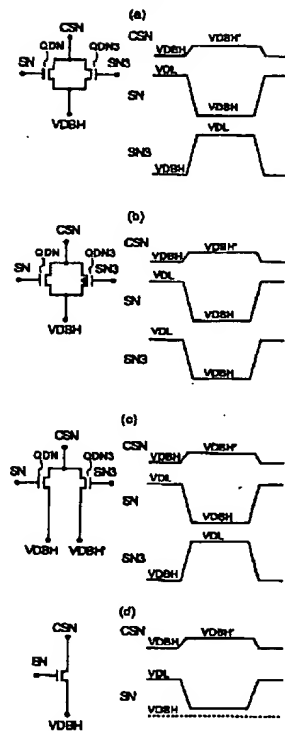
【図8】

図8



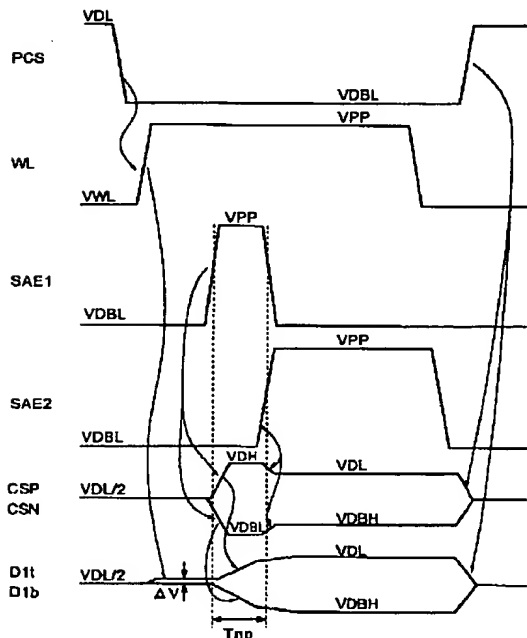
【図16】

図16



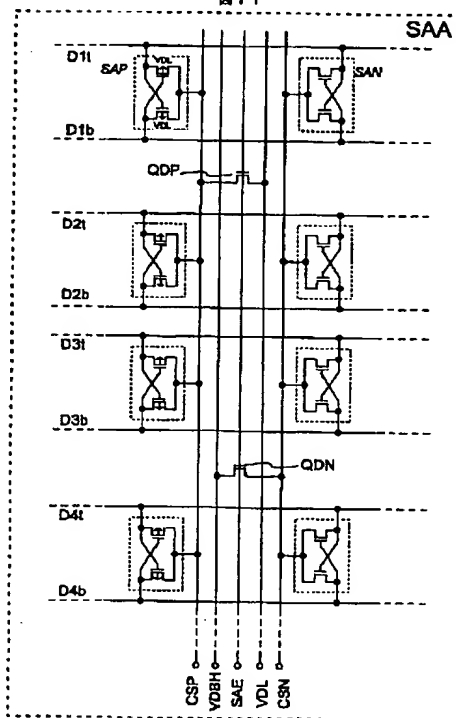
【図10】

図10



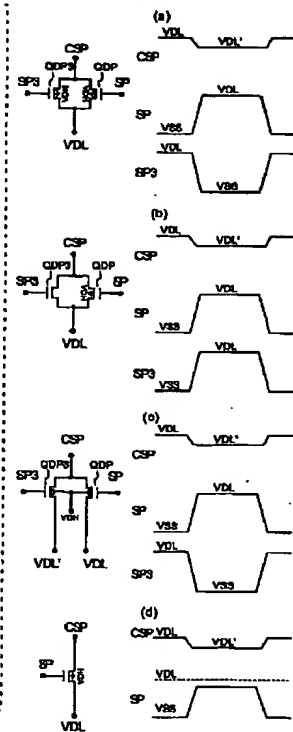
【図11】

図11

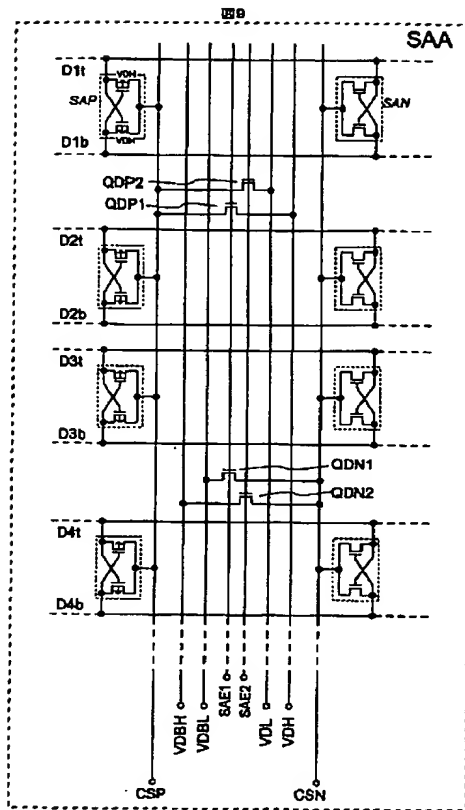


【図17】

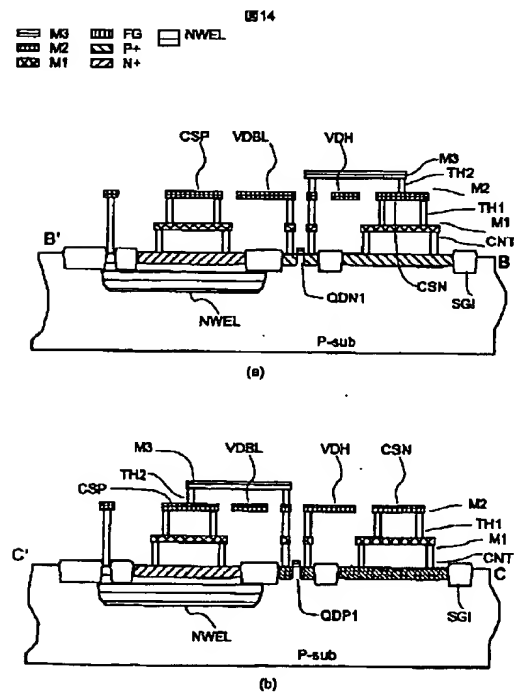
図17



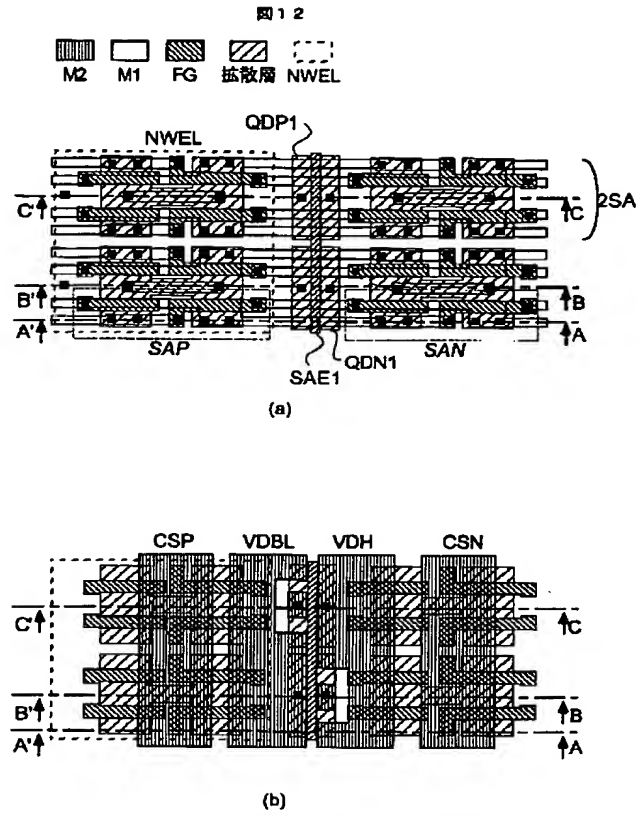
【図 9】



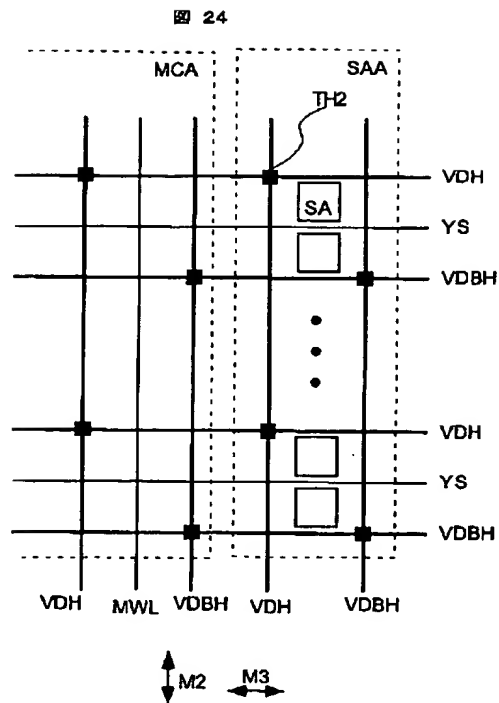
【図 14】



【図 12】

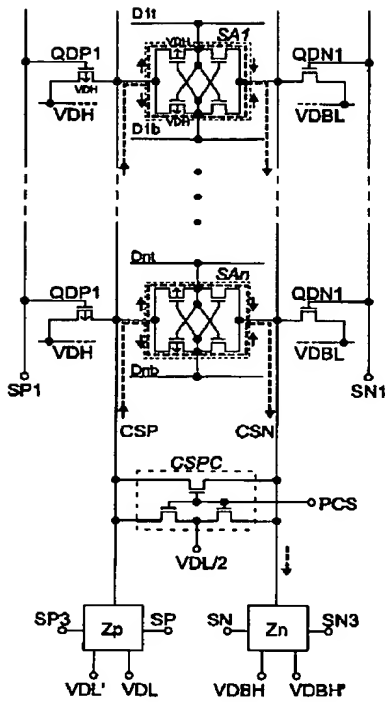


【図 24】

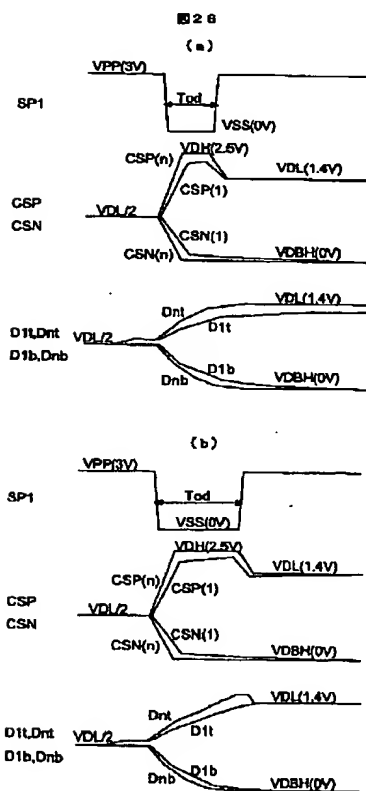


【図15】

図15

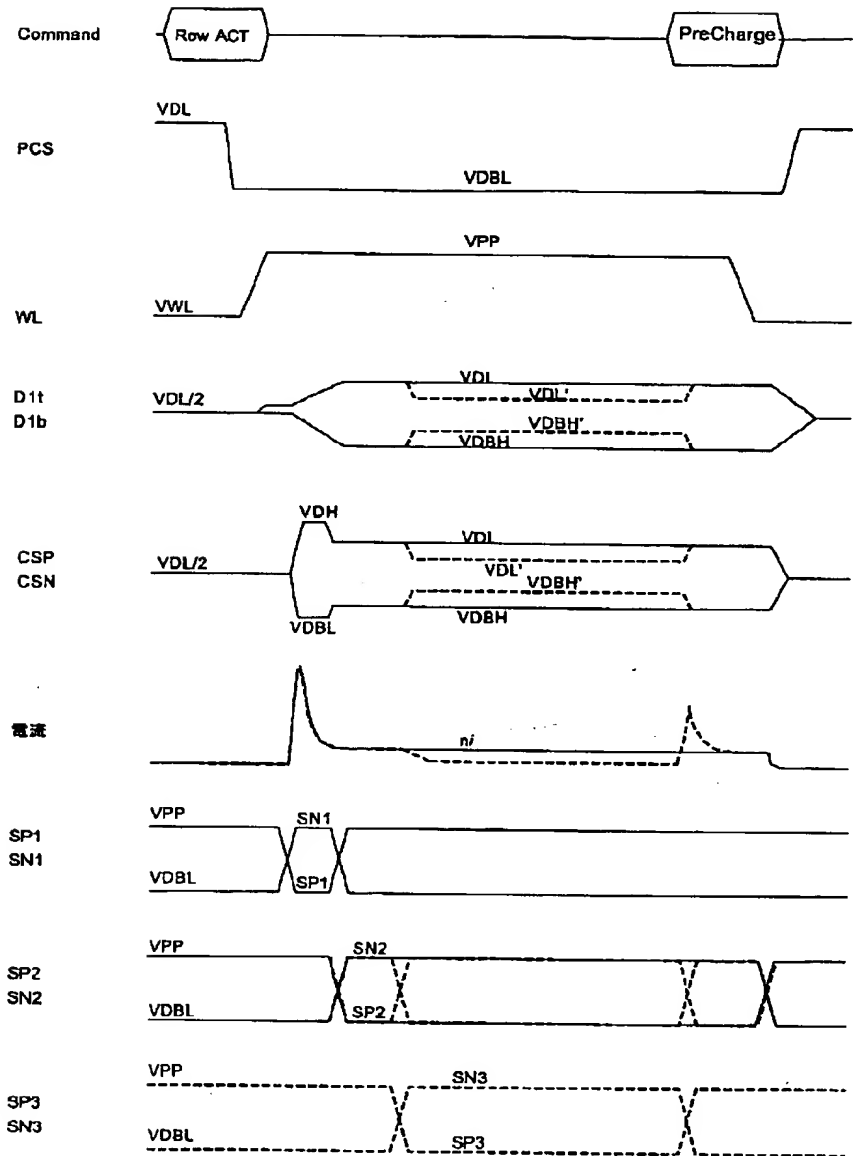


【図26】



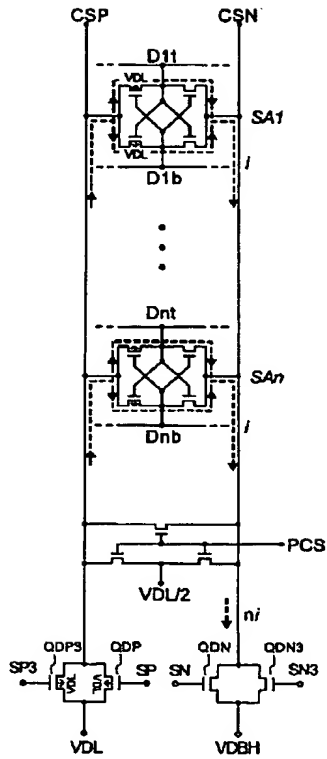
【図18】

図18



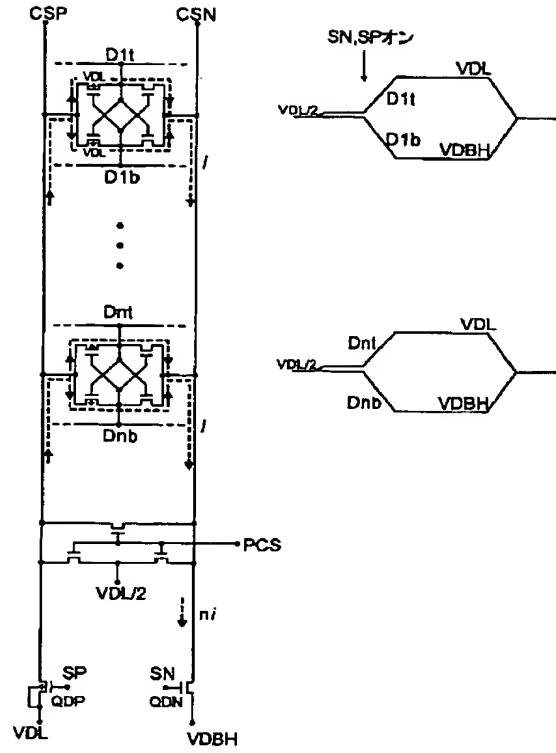
【図 19】

図 19



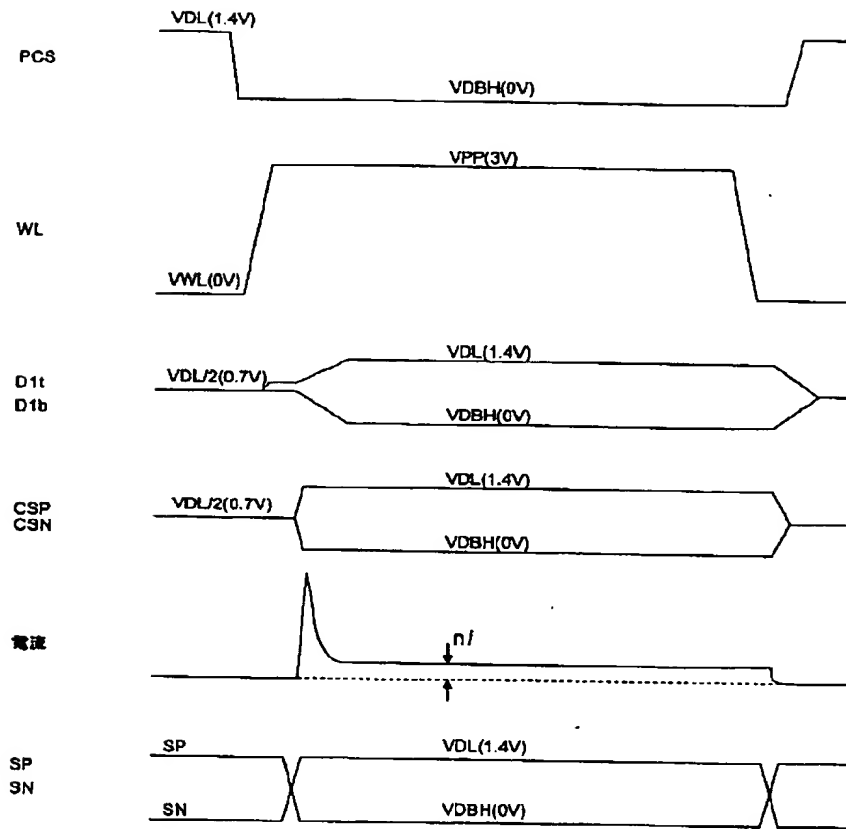
【図 20】

図 20

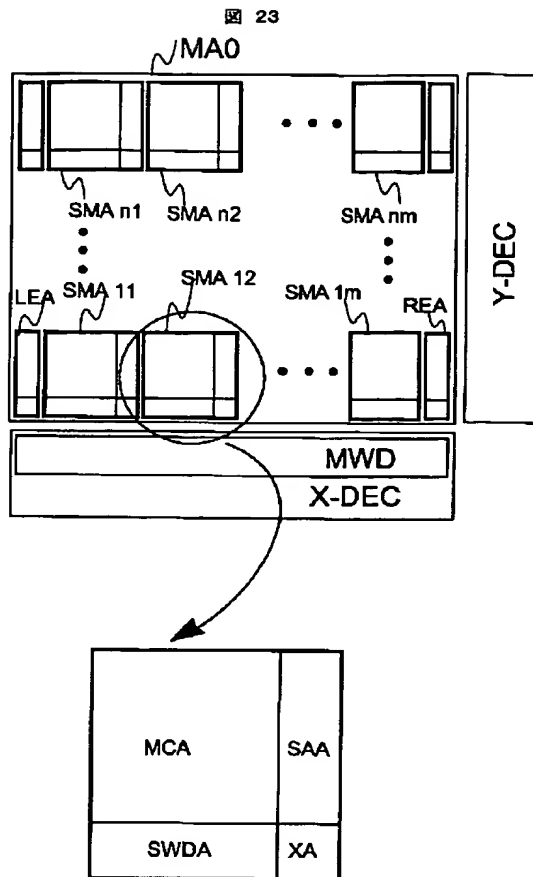


【図 21】

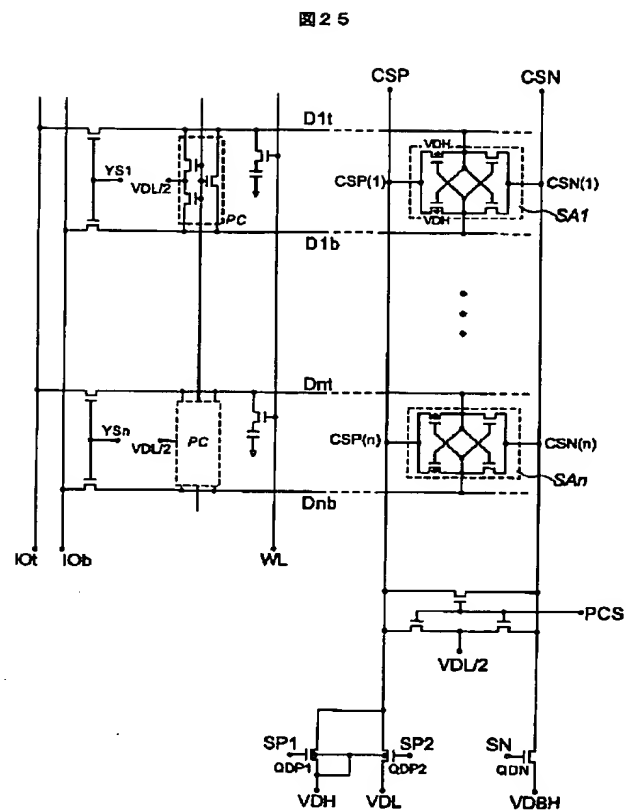
図 21



【図 23】



【図 25】



フロントページの続き

(72)発明者 関口 知紀
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 阪田 健
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 木村 勝高
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

Fターム(参考) 5B024 AA01 BA09 BA13 BA27 BA29
CA10 CA21
5F083 AD00 GA01 GA05 KA15 KA20
LA03 LA16 LA17

THIS PAGE BLANK (USPTO)